

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-16842

(P2002-16842A)

(43)公開日 平成14年1月18日(2002.1.18)

(51)Int.Cl.⁷

識別記号

F I

テーマコード*(参考)

H 0 4 N 5/335
5/217

H 0 4 N 5/335
5/217

P 5 C 0 2 1
5 C 0 2 4

審査請求 未請求 請求項の数16 O L (全 27 頁)

(21)出願番号 特願2000-199321(P2000-199321)

(22)出願日 平成12年6月30日(2000.6.30)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 久保田 均

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 的場 成浩

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100066474

弁理士 田澤 博昭 (外1名)

Fターム(参考) 5C021 PA72 PA82 PA92 YA06 YC01

5C024 AX01 CX21 CX22 CX23 CY37

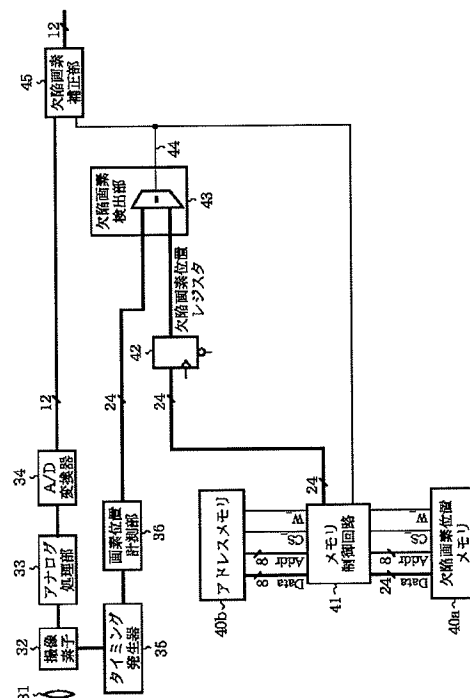
CX02 GY01 HX57

(54)【発明の名称】 欠陥画素検出装置及び欠陥画素検出プログラムが記録された記録媒体

(57)【要約】

【課題】 特定の水平ライン上に存在する画素の画像データのみを出力する場合には、特定の水平ラインを指定する手段等を有していないため、欠陥画素の位置を検出することができず、様々な読み出し方式の撮像素子に対応する汎用性の高い欠陥画素検出装置を提供することができない課題があった。

【解決手段】 画像読み出し手段により採用されている読み出しモードに対応する参照手順にしたがって欠陥画素の画素位置を取得し、その欠陥画素の画素位置と計測手段により計測された読み出し画素位置を比較して欠陥画素を検出する。



【特許請求の範囲】

【請求項1】 撮像素子を構成する画素の画像信号を読み出す画像読み出し手段と、上記画像読み出し手段による読み出し画素位置を計測する計測手段と、上記撮像素子における欠陥画素の画素位置を記憶するとともに、その画素位置の参照手順を画素の読み出しモード毎に記憶する記憶手段と、上記画像読み出し手段により採用されている読み出しモードに対応する参照手順にしたがって欠陥画素の画素位置を取得し、その欠陥画素の画素位置と上記計測手段により計測された読み出し画素位置を比較して欠陥画素を検出する欠陥画素検出手段とを備えた欠陥画素検出装置。

【請求項2】 欠陥画素検出手段により検出された欠陥画素の画像信号を補正する補正手段を設けたことを特徴とする請求項1記載の欠陥画素検出装置。

【請求項3】 記憶手段は、欠陥画素の画素位置と参照手順を対にして記憶することを特徴とする請求項1または請求項2記載の欠陥画素検出装置。

【請求項4】 記憶手段に記憶されている画素位置の参照手順は、欠陥画素の画素位置が記憶されている絶対アドレスを示す座標情報であることを特徴とする請求項1または請求項2記載の欠陥画素検出装置。

【請求項5】 記憶手段に記憶されている画素位置の参照手順は、欠陥画素の画素位置が記憶されている相対アドレスを示す座標情報であることを特徴とする請求項1または請求項2記載の欠陥画素検出装置。

【請求項6】 記憶手段に記憶されている画素位置の参照手順は、所望する欠陥画素の画素位置であるか否かを示す識別情報であることを特徴とする請求項1または請求項2記載の欠陥画素検出装置。

【請求項7】 記憶手段に記憶されている欠陥画素の画素位置と参照手順を予め読み出して一時的に格納し、計測手段から読み出し画素位置が出力されると、その欠陥画素の画素位置と参照手順を欠陥画素検出手段に出力する一時的格納手段を設けたことを特徴とする請求項1から請求項6のうちのいずれか1項記載の欠陥画素検出装置。

【請求項8】 一時的格納手段は、複数の欠陥画素の画素位置と参照手順を一時的に格納することを特徴とする請求項7記載の欠陥画素検出装置。

【請求項9】 撮像素子を構成する画素の画像信号を読み出す画像読み出し処理手順と、上記画像読み出し処理手順による読み出し画素位置を計測する計測処理手順と、上記撮像素子における欠陥画素の画素位置を記憶するとともに、その画素位置の参照手順を画素の読み出しモード毎に記憶する記憶処理手順と、上記画像読み出し処理手順により採用されている読み出しモードに対応する参照手順にしたがって欠陥画素の画素位置を取得し、その欠陥画素の画素位置と上記計測処理手順により計測された読み出し画素位置を比較して欠陥画素を検出する

欠陥画素検出処理手順とを備えた欠陥画素検出プログラムが記録された記録媒体。

【請求項10】 欠陥画素検出処理手順により検出された欠陥画素の画像信号を補正する補正処理手順を設けたことを特徴とする請求項9記載の欠陥画素検出プログラムが記録された記録媒体。

【請求項11】 記憶処理手順は、欠陥画素の画素位置と参照手順を対にして記憶することを特徴とする請求項9または請求項10記載の欠陥画素検出プログラムが記録された記録媒体。

【請求項12】 記憶処理手順に記憶されている画素位置の参照手順は、欠陥画素の画素位置が記憶されている絶対アドレスを示す座標情報であることを特徴とする請求項9または請求項10記載の欠陥画素検出プログラムが記録された記録媒体。

【請求項13】 記憶処理手順に記憶されている画素位置の参照手順は、欠陥画素の画素位置が記憶されている相対アドレスを示す座標情報であることを特徴とする請求項9または請求項10記載の欠陥画素検出プログラムが記録された記録媒体。

【請求項14】 記憶処理手順に記憶されている画素位置の参照手順は、所望する欠陥画素の画素位置であるか否かを示す識別情報であることを特徴とする請求項9または請求項10記載の欠陥画素検出プログラムが記録された記録媒体。

【請求項15】 記憶処理手順に記憶されている欠陥画素の画素位置と参照手順を予め読み出して一時的に格納し、計測処理手順から読み出し画素位置が出力されると、その欠陥画素の画素位置と参照手順を欠陥画素検出処理手順に出力する一時的格納処理手順を設けたことを特徴とする請求項9から請求項14のうちのいずれか1項記載の欠陥画素検出プログラムが記録された記録媒体。

【請求項16】 一時的格納処理手順は、複数の欠陥画素の画素位置と参照手順を一時的に格納することを特徴とする請求項15記載の欠陥画素検出プログラムが記録された記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、撮像素子の中の欠陥画素を検出する欠陥画素検出装置及び欠陥画素検出プログラムが記録された記録媒体に関するものである。

【0002】

【従来の技術】撮像素子のような光を電気信号に変換する素子は、その素子上に数十万から数百万程度の画素を有している。その画素中には白つぶれや黒つぶれなどの欠陥画素が存在する。これらの欠陥画素はないことが望ましいが、歩留まりのコスト面や技術的困難さからある程度の数を見越して製造されている。この処理方法には欠陥画素の前画素のデータで、その欠陥画素のデータを

置換する等の方策がある。そのためには、欠陥画素の位置情報を撮像素子の読み出し位置と照らし合わせて同定することが必要となる。

【0003】図24は例えば特開昭63-86971号公報に示された従来の欠陥画素検出装置を示す構成図であり、図において、1は欠陥画素の存在する水平ライン番地の他、ブロック番地やセル番地が記憶されたEEPROMを内蔵するマイクロコンピュータ、2はバスインタフェース回路、3〜8はシフトレジスタ、9はカウンタ、10はタイミングクロックを発生するタイミングクロック発生回路、11はタイミングクロックに同期してCCDセンサ12の走査位置を制御する撮像素子ドライバ、12は撮像素子であるCCDセンサ、13はサンプルホールド回路、14はCCDセンサ12を構成する画素の画像データを出力する出力信号処理回路、15〜17はCCDセンサ12の走査位置を計数するカウンタ、18〜20はアドレスを比較するコンパレータ、21はコンパレータ18〜20からアドレス一致信号を受けると、サンプルホールドパルスの出力を停止する論理回路である。

【0004】次に動作について説明する。マイクロコンピュータ1には予め欠陥画素の存在する水平ライン番地、ブロック番地及びセル番地（以下、欠陥アドレスという）が記憶されており、電源投入後、バスインタフェース回路2を通じて、欠陥アドレスをシフトレジスタ3〜8にロードする。

【0005】この際、カウンタ9が欠陥アドレスの転送数を管理することにより、シフトレジスタ6〜8には、CCDセンサ12に含まれる欠陥画素のうち、先に走査される欠陥画素のアドレスをロードし、シフトレジスタ3〜5には、その次に走査される欠陥画素のアドレスをロードする。

【0006】その後、カウンタ15〜17がCCDセンサ12の走査位置を管理し、CCDセンサ12の走査位置がシフトレジスタ6〜8にロードされている欠陥アドレスと一致すると、コンパレータ18〜20の全てがアドレス一致信号を出力する。このようにして、コンパレータ18〜20の全てからアドレス一致信号を受けると、論理回路21がサンプルホールドパルスの出力を停止するので、サンプルホールド回路13は、CCDセンサ12から出力された欠陥画素の画像データを出力信号処理回路14に出力せず、その欠陥画素の1つ前の画像データを続けて出力信号処理回路14に出力する。

【0007】これにより、出力信号処理回路14は、欠陥画素の1つ前の画像データを欠陥画素の画像データとして出力することになる。なお、コンパレータ18〜20の全てがアドレス一致信号を出力すると、シフトレジスタ3〜5にロードされていた次の欠陥アドレスがシフトレジスタ6〜8にシフトされて、再び上記と同様の処理を繰り返し実行する。

【0008】

【発明が解決しようとする課題】従来の欠陥画素検出装置は以上のように構成されているので、CCDセンサ12を構成する全画素の画像データを出力する場合には、欠陥画素の位置を逐次検出して、画像データを補正することができるが、特定の水平ライン上に存在する画素の画像データのみを出力する場合には、特定の水平ラインを指定する手段等を有していないため、欠陥画素の位置を検出することができず、様々な読み出し方式の撮像素子に対応する汎用性の高い欠陥画素検出装置を提供することができない課題があった。

【0009】この発明は上記のような課題を解決するためになされたもので、様々な読み出し方式の撮像素子に対応することができる汎用性の高い欠陥画素検出装置を得ることを目的とする。

【0010】

【課題を解決するための手段】この発明に係る欠陥画素検出装置は、画像読み出し手段により採用されている読み出しモードに対応する参照手順にしたがって欠陥画素の画素位置を取得し、その欠陥画素の画素位置と計測手段により計測された読み出し画素位置を比較して欠陥画素を検出するようにしたものである。

【0011】この発明に係る欠陥画素検出装置は、欠陥画素検出手段により検出された欠陥画素の画像信号を補正する補正手段を設けたものである。

【0012】この発明に係る欠陥画素検出装置は、欠陥画素の画素位置と参照手順を対にして記憶するようにしたものである。

【0013】この発明に係る欠陥画素検出装置は、記憶手段に記憶されている画素位置の参照手順が、欠陥画素の画素位置が記憶されている絶対アドレスを示す座標情報であるようにしたものである。

【0014】この発明に係る欠陥画素検出装置は、記憶手段に記憶されている画素位置の参照手順が、欠陥画素の画素位置が記憶されている相対アドレスを示す座標情報であるようにしたものである。

【0015】この発明に係る欠陥画素検出装置は、記憶手段に記憶されている画素位置の参照手順が、所望する欠陥画素の画素位置であるか否かを示す識別情報であるようにしたものである。

【0016】この発明に係る欠陥画素検出装置は、記憶手段に記憶されている欠陥画素の画素位置と参照手順を予め読み出して一時的に格納し、計測手段から読み出し画素位置が出力されると、その欠陥画素の画素位置と参照手順を欠陥画素検出手段に出力する一時的格納手段を設けたものである。

【0017】この発明に係る欠陥画素検出装置は、一時的格納手段が複数の欠陥画素の画素位置と参照手順を一時的に格納するようにしたものである。

【0018】この発明に係る欠陥画素検出プログラムが

記録された記録媒体は、画像読み出し処理手順により採用されている読み出しモードに対応する参照手順にしたがって欠陥画素の画素位置を取得し、その欠陥画素の画素位置と計測処理手順により計測された読み出し画素位置を比較して欠陥画素を検出する欠陥画素検出処理手順を記録したものである。

【0019】この発明に係る欠陥画素検出プログラムが記録された記録媒体は、欠陥画素検出処理手順により検出された欠陥画素の画像信号を補正する補正処理手順を設けたものである。

【0020】この発明に係る欠陥画素検出プログラムが記録された記録媒体は、欠陥画素の画素位置と参照手順を対にして記憶するようにしたものである。

【0021】この発明に係る欠陥画素検出プログラムが記録された記録媒体は、記憶処理手順に記憶されている画素位置の参照手順が、欠陥画素の画素位置が記憶されている絶対アドレスを示す座標情報であるようにしたものである。

【0022】この発明に係る欠陥画素検出プログラムが記録された記録媒体は、記憶処理手順に記憶されている画素位置の参照手順が、欠陥画素の画素位置が記憶されている相対アドレスを示す座標情報であるようにしたものである。

【0023】この発明に係る欠陥画素検出プログラムが記録された記録媒体は、記憶処理手順に記憶されている画素位置の参照手順が、所望する欠陥画素の画素位置であるか否かを示す識別情報であるようにしたものである。

【0024】この発明に係る欠陥画素検出プログラムが記録された記録媒体は、記憶処理手順に記憶されている欠陥画素の画素位置と参照手順を予め読み出して一時的に格納し、計測処理手順から読み出し画素位置が出力されると、その欠陥画素の画素位置と参照手順を欠陥画素検出処理手順に出力する一時的格納処理手順を設けたものである。

【0025】この発明に係る欠陥画素検出プログラムが記録された記録媒体は、一時的格納処理手順が複数の欠陥画素の画素位置と参照手順を一時的に格納するようにしたものである。

【0026】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による欠陥画素検出装置を示す構成図であり、図において、31は被写体の光学像を結像させるレンズ系、32は全画素読み出しモードと高速読み出しモードを備え、レンズ系31により結像された被写体像を光電変換して電気信号を出力する撮像素子、33は撮像素子32から出力された電気信号に対して増幅やディジタルクランプなどのアナログ処理を行うアナログ処理部、34はアナログ処理

部33から出力されるアナログ信号をデジタル信号に変換するA/D変換器である。なお、アナログ処理部33及びA/D変換器34から画像読み出し手段が構成されている。

【0027】35は撮像素子32の読み出しモードに応じたタイミングで撮像素子32を駆動するタイミング発生器、36はタイミング発生器35から出力される信号を元にして、撮像素子32の読み出しモードに応じた撮像面の位置アドレスを計測する画素位置計測部である。

10 なお、タイミング発生器35及び画素位置計測部36から計測手段が構成されている。

【0028】40aは縦横計24ビットの欠陥画素の位置情報を登録する欠陥画素位置メモリであり、最大256個の欠陥画素位置を登録することが可能である。40bは高速読み出しモードにおいて使用し、欠陥画素の位置情報を登録する欠陥画素位置メモリ40aの8ビットの絶対アドレスを指定するアドレスメモリである。41は欠陥画素位置メモリ40a及びアドレスメモリ40bを制御するメモリ制御回路、42はメモリ制御回路41を経由して欠陥画素位置メモリ40aから読み出された欠陥画素の位置情報を一時的に記憶する欠陥画素位置レジスタ（一時格納手段）である。なお、欠陥画素位置メモリ40a、アドレスメモリ40b及びメモリ制御回路41から記憶手段が構成されている。

【0029】43は画素位置計測部36から出力される撮像素子32の撮像面の位置アドレスと、欠陥画素位置レジスタ42に格納されている欠陥画素の位置情報を比較し、一致した場合には欠陥画素であることを示す欠陥画素検出信号を出力する欠陥画素検出部（欠陥画素検出手段）、44は欠陥画素検出部43から出力される欠陥画素検出信号である。45はA/D変換器34から出力される12ビットのデジタル画像データを、欠陥画素検出信号44に基づいて同色成分隣接2画素から単純線形補間を実施して欠陥画素の補正を行う欠陥画素補正部（補正手段）である。

【0030】なお、図1では画像読み出し手段、計測手段、記憶手段、欠陥画素検出手段及び補正手段をハードウェアで構成するものについて説明するが、これらをソフトウェアで構成し、即ち、画像読み出し処理手順、計測処理手順、記憶処理手順、欠陥画素検出処理手順及び補正処理手順から構成された欠陥画素検出プログラムをコンピュータが読み取り可能な記録媒体に記録するようにしてもよい。

【0031】次に動作について説明する。まず、欠陥画素補正を行う撮像素子32について説明する。近年、撮像素子32の高画素化が進展している。これに伴って撮像素子32からの画像データの読み出し時間も増加する傾向にある。このことは、例えば、デジタルスチルカメラにおける画角合わせ、いわゆるファインダ動作時にいて、レスポンスの低下を招くことになる。そこで、最

近では、通常撮影時には画質を優先して、全ての画素データを読み出す全画素読み出しモードと、ファインダ動作時には読み出し速度を優先して、垂直方向に間引きを行う高速読み出しモードの2つのモードを備えた撮像素子32が製品化されている。これら2つのモードについても各種様々な読み出し方式が存在するが、ここでは各モード2種類の読み出し方式を例に説明する。

【0032】図2は全画素読み出しモードにおけるプログレッシブスキャン方式の撮像素子面の一部を表したものであり、図3は全画素読み出しモードにおけるフィールド読み出し方式の撮像素子面の一部を表したものである。図4は高速読み出しモードにおける垂直単純間引き方式の撮像素子面の一部を表したものであり、図5は高速読み出しモードにおける垂直二画素加算方式の撮像素子面の一部を表したものである。図の黒丸は欠陥画素の位置を表し、付与された番号は後述する欠陥画素位置情報の登録順を示している。なお、撮像素子32は4096画素×4096行の2次元CCDセンサとし、出力されるデジタル画像データは12ビットとする。

【0033】図2のプログレッシブスキャン方式は、水平方向では図の左から右へ、垂直方向では1ライン目から順に上から下へ、各画素の画像データを読み出す方式である。

【0034】図3のフィールド読み出し方式は、4フィールド読み出しのものであり、水平方向に関してはプログレッシブスキャン方式と同様に、図の左から右の順で読み出す。垂直方向に関しては、まず、第一フィールド、第二フィールドの順にフィールド毎に第四フィールドまで読み出す。図2では1ライン、5ライン、9ライン…と第一フィールドを読み出した後、2ライン、6ライン、10ライン…と第二フィールドを読み出し、最後に4ライン、8ライン、12ラインの第四フィールドを読み出すことになる。

【0035】図4の垂直単純間引き方式は、水平方向に関しては全画素読み出しモードと同様に、図の左から右の順で読み出す。垂直方向に関しては、8ラインを一つの単位として、このうち斜線部分となる2ライン目と7ライン目を読み出す。図4では2ライン目、7ライン目、10ライン目、15ライン目、18ライン目…の順に読み出すことになる。

【0036】図5の垂直二画素加算方式は、水平方向に関しては全画素読み出しモードと同様に、図の左から右の順で読み出す。垂直方向に関しては、12ラインを一つの単位として、このうち斜線部分となる1ライン目と3ライン目及び8ライン目と10ライン目の垂直二画素が加算され、その平均が読み出される。図5では1ライン目と3ライン目、8ライン目と10ライン目、13ライン目と15ライン目、20ライン目と22ライン目…の垂直二画素の平均を読み出すことになる。

【0037】図6は欠陥画素位置メモリ40aを表した

ものである。登録する欠陥画素位置情報は一画面の絶対位置を示すものとする。従って、4096画素×4096行の二次元CCDセンサを使用した場合、一つの欠陥画素位置情報は水平方向12ビット(0~4095)、垂直方向12ビット(0~4095)の計24ビット幅となる。また、8ビットのアドレス空間を有するため、最大256個の欠陥画素位置情報を登録することが可能である。

【0038】欠陥画素位置情報の登録順序については全画素読み出しモードの読み出し順とする。即ち、図2のプログレッシブスキャン方式の撮像素子を使用する場合は、アドレス0番地からD1、D2、D3、D4…の図中左上から右下の順序に登録し、図3のフィールド読み出し方式の撮像素子を使用する場合には、図3に示した範囲のみを考えると、D1、D2、D3、D4(第一フィールド)、D5、D6、D7、D8、D9(第二フィールド)の順に登録する。

【0039】図7は垂直単純間引き方式、図8は垂直二画素加算方式におけるアドレスメモリ40bを表したものであり、高速読み出しモードで使用する欠陥画素位置情報を欠陥画素位置メモリ40aから読み出す。アドレスメモリ40bへの欠陥画素位置メモリアドレスの登録順序は高速読み出しモードの読み出し順とする。即ち、図4の垂直単純間引き方式の撮像素子を使用する場合は、図7のようにアドレス0番地からD3、D4、D10、D14…が登録されている欠陥画素位置メモリアドレス2、3、9、13…番地の順序に登録し、図5の垂直二画素加算方式の撮像素子を使用する場合には、図8のようにD5、D6、D1、D2、D7…が登録されている欠陥画素位置メモリアドレス4、5、0、1…番地の順序に登録する。

【0040】次に全画素読み出しモードにおける詳細な構成と動作について説明する。図示しないスイッチあるいはシャッタなどにより全画素読み出しモードがスタートすると、タイミング発生器35が撮像素子32を駆動するためのタイミングクロックを発生する。

【0041】撮像素子32は光の強弱に応じた撮像信号を出力し、アナログ処理部33を経由してA/D変換器34によってデジタル画像信号に変換され、欠陥画素補正部45に転送される。これと同時にタイミング発生器35がタイミングクロックに同期した画素クロックを発生すると、画素位置計測部36は画素クロックを計測する。画素位置計測部36は全画素を計数可能であるように水平12ビット(0~4095)、垂直12ビット

(0~4095)の計24ビットのカウンタを備えており、全画素読み出しモードでは画素クロックにより1ずつインクリメントすることで、その計数結果は1画面の絶対位置を示すこととなる。その計測結果は順次欠陥画素検出部43に転送される。

【0042】一方、欠陥画素位置メモリ40aからは全

画素読み出しモードの最初の欠陥画素となる0番地のD1の位置情報が欠陥画素位置レジスタ42を経由し、欠陥画素検出部43に転送される。欠陥画素検出部43は画素位置計測部36から順次転送される計測結果と比較を行い、一致した場合には欠陥画素検出信号44を出力する。この信号に基づき欠陥画素補正部45は、デジタル画像信号のうち欠陥画素D1の画像信号に対し、水平方向の同色成分隣接二画素の画像信号を使用して線形補間を行った値に置換する。

【0043】同時に欠陥画素検出部43より出力される欠陥画素検出信号44が、メモリ制御回路41に転送され、次の欠陥画素となる1番地のD2の位置情報を欠陥画素位置メモリ40aから読み出す。読み出されたD2の位置情報は欠陥画素位置レジスタ42を経由し、欠陥画素検出部43に転送される。欠陥画素検出部43は、画素位置計測部36から順次転送される計測結果とD2の位置情報の比較を行い、一致した場合には再び欠陥画素検出信号44を出力する。

【0044】上記のように欠陥画素位置メモリ40aの0番地から読み出しを開始し、欠陥画素検出信号44が出力される度に欠陥画素位置メモリ40aのアドレスを+1インクリメントする動作を繰返すことにより、以下、欠陥画素D3、D4、D5…と全画素読み出しモードにおける欠陥画素の検出及び補正を行う。

【0045】次に高速読み出しモードの詳細な構成と動作について説明する。まず、図4の垂直単純間引き方式における構成と動作について説明する。図示しないスイッチあるいはシャッタなどにより高速読み出しモードがスタートすると、タイミング発生器35が撮像素子32を駆動するためのタイミングクロックを発生する。

【0046】撮像素子32は光の強弱に応じた撮像信号を出力し、アナログ処理部33を経由して、A/D変換器34によってデジタル画像信号に変換され、欠陥画素補正部45に転送される。これと同時にタイミング発生器35がタイミングクロックに同期した画素クロックを発生すると、画素位置計測部36は画素クロックを計測する。このとき図4の垂直単純間引き方式では、垂直方向に8ラインを単位として2ライン目と7ライン目のみを読み出すため、垂直方向のカウンタは2、7、10、15、18…のように1画面の絶対位置を示すように計測されてゆく。その計測結果は順次欠陥画素検出部43に転送される。

【0047】一方、高速読み出しモードがスタートすると、図7のようにアドレスメモリ40bの0番地に登録されている8ビットのアドレス情報「2番地」、即ち、垂直単純間引き方式で最初に使用するD3が登録されている欠陥画素位置メモリ40aのアドレスがメモリ制御回路41によって、欠陥画素位置メモリ40aに転送される。読み出された欠陥画素位置メモリ40aにおける「2番地」のD3の位置情報は、欠陥画素位置レジスタ

42を経由し、欠陥画素検出部43に転送される。欠陥画素検出部43は画素位置計測部36から順次転送される計測結果と比較を行い、一致した場合には欠陥画素検出信号44を出力する。この信号に基づき欠陥画素補正部45は、デジタル画像信号のうち欠陥画素D3の画像信号に対し、水平方向の同色成分隣接二画素の画像信号を使用して線形補間を行った値に置換する。

【0048】同時に欠陥画素検出部43より出力される欠陥画素検出信号44が、メモリ制御回路41に転送され、アドレスメモリ40bの1番地に登録されている8ビットのアドレス情報「3番地」、即ち、垂直単純間引き方式で次に使用するD4が登録されている欠陥画素位置メモリ40aのアドレスがメモリ制御回路41によって、欠陥画素位置メモリ40aに転送される。読み出された欠陥画素位置メモリ40aにおける「3番地」のD4の位置情報は、欠陥画素位置レジスタ42を経由し、欠陥画素検出部43に転送される。欠陥画素検出部43は画素位置計測部36から順次転送される計測結果と比較を行い、一致した場合には再び欠陥画素検出信号44を出力する。

【0049】上記のように、まず、アドレスメモリ40bの0番地のアドレス情報を欠陥画素位置メモリ40aに転送し、欠陥画素検出信号44が出力される度にアドレスメモリ40bのアドレスを+1インクリメントする動作を繰返す。これにより、以下、欠陥画素D10、D14…と垂直単純間引き方式における欠陥画素の検出及び補正を行う。

【0050】次に図5の垂直二画素加算方式における構成と動作について説明する。図示しないスイッチあるいはシャッタなどにより高速読み出しモードがスタートすると、タイミング発生器35が撮像素子32を駆動するためのタイミングクロックを発生する。

【0051】撮像素子32は光の強弱に応じた撮像信号を出力し、アナログ処理部33を経由して、A/D変換器34によってデジタル画像信号に変換され、欠陥画素補正部45に転送される。これと同時にタイミング発生器35がタイミングクロックに同期した画素クロックを発生すると、画素位置計測部36は画素クロックを計測する。このとき図5の垂直二画素加算方式では、12ラインを一つの単位として1ライン目と3ライン目及び8ライン目と10ライン目の垂直二画素が加算され、その平均が読み出される。そこで、垂直方向のカウンタは1、8、13、20…のように、加算する2ラインのうちのいずれかのラインを基準として計測する。その計測結果は順次欠陥画素検出部43に転送される。

【0052】一方、高速読み出しモードがスタートすると、図8のようにアドレスメモリ40bの0番地に登録されている8ビットのアドレス情報「4番地」、即ち、垂直二画素加算方式で最初に使用するD5が登録されている欠陥画素位置メモリ40aのアドレスがメモリ制御

10

20

30

40

50

回路41によって、欠陥画素位置メモリ40aに転送される。読み出された欠陥画素位置メモリ40aにおける「4番地」のD5の位置情報は、欠陥画素位置レジスタ42を経由し、欠陥画素検出部43に転送される。

【0053】ここで、画素位置計測部36からは基準ラインとして1, 8, 13, 20…の計測結果のみが出力されるが、2ラインに存在する欠陥画素を同時に検出するために、欠陥画素検出部43では基準ラインに2を加算した比較条件、即ち、3, 10, 15, 22…の条件が新たに生成される。これにより欠陥画素検出部43は、欠陥画素位置メモリ40aからの位置情報が基準ラインまたは基準ライン+2と一致する場合、欠陥画素検出信号44を出力することが可能となる。D5の場合、1画面の絶対位置で3ライン目に存在するので、画素位置計測部36から基準ラインである1が出力され、基準ライン+2の比較条件で一致し、欠陥画素検出信号44が出力される。欠陥画素検出信号44が出力されると欠陥画素補正部45は、デジタル画像信号のうち欠陥画素D5の画像信号に対し、水平方向の同色成分隣接二画素の画像信号を使用して線形補間を行った値に置換する。

【0054】同時に欠陥画素検出部43より出力される欠陥画素検出信号44が、メモリ制御回路41に転送され、アドレスメモリ40bの1番地に登録されている8ビットのアドレス情報「5番地」、即ち、垂直二画素加算方式で次に使用するD6が登録されている欠陥画素位置メモリ40aのアドレスがメモリ制御回路41によって、欠陥画素位置メモリ40aに転送される。読み出された欠陥画素位置メモリ40aにおける5番地のD6の位置情報は、欠陥画素位置レジスタ42を経由し、欠陥画素検出部43に転送される。欠陥画素検出部43は、画素位置計測部36から順次転送される計測結果を元に比較条件を生成し、一致した場合には再び欠陥画素検出信号44を出力する。

【0055】上記のように、欠陥画素検出部43で2ラインに存在する欠陥画素を検出するため、画素位置計測部36からの計測結果を元に比較条件の追加を実施する。さらにアドレスメモリ40bの0番地のアドレス情報を欠陥画素位置メモリ40aに転送し、欠陥画素検出信号44が出力される度にアドレスメモリ40bのアドレスを+1インクリメントする動作を繰返す。これにより、以下、欠陥画素D1, D2, D7…と垂直二画素加算方式における欠陥画素の検出及び補正を行う。

【0056】以上から明らかなように、この実施の形態1によれば、高速読み出しモードにおける欠陥画素を検出するためのアドレスメモリ40bを備えることにより、全画素読み出しモードと高速読み出しモードのモード別に欠陥画素の位置情報を登録する必要がなくなり、メモリ容量の削減が可能となる。

【0057】なお、この実施の形態1では、撮像素子は4096画素×4096行を有するものとしたが、画素

数は任意でよく、それに応じて画素カウンタのビット数を変更すればよい。また、検出する欠陥画素の登録数も任意であり、メモリの容量を変更すればよい。

【0058】また、この実施の形態1における欠陥画素位置レジスタ42は、1画素分の欠陥画素位置情報を記憶するものであるが、複数画素分の容量を備えることにより、欠陥画素の検出を行う前にアドレスメモリ40bの情報に基づいて、あらかじめ複数画素分の欠陥画素位置情報を読み出すことが可能となり、欠陥画素位置メモリ40aの読み出し速度が遅い場合でもリアルタイムに欠陥画素の検出が可能となる。

【0059】さらに、この実施の形態1では、撮像素子なる入力デバイスであったが、液晶やプラズマディスプレイ等の表示デバイスの欠陥画素検出にも適応可能であり、この実施の形態1と同様の効果を得ることができる。

【0060】実施の形態2. 図9はこの発明の実施の形態2による欠陥画素検出装置を示す構成図であり、図において、図1と同一符号は同一または相当部分を示すので説明を省略する。40は縦横計24ビットの欠陥画素の位置情報と、高速読み出しモードで使用する欠陥画素位置情報が登録されている8ビットのアドレスを登録するメモリであって、最大256個の欠陥画素位置情報を登録することが可能なアドレス/欠陥画素位置メモリ（記憶手段）である。50は高速読み出しモードで最初に読み出す欠陥画素位置情報のアドレスが登録されている開始アドレスメモリ、51はメモリ制御回路41を経由してアドレス/欠陥画素位置メモリ40から読み出されたアドレスを一時的に記憶するメモリアドレスレジスタ（一時格納手段）である。

【0061】次に動作について説明する。上記実施の形態1は、検出手順となる座標情報を登録するアドレスメモリ40bと、欠陥画素の位置情報を登録する欠陥画素位置メモリ40aをそれぞれ備えたものについて示したが、欠陥画素の位置情報と座標情報を対にして同じメモリに登録するようにしてもよい。

【0062】図10は図4における垂直単純間引き方式、図11は図5の垂直二画素加算方式の撮像素子を使用した場合のアドレス/欠陥画素位置メモリ40を表したものである。8ビットのアドレス空間を有し、最大256個の欠陥画素位置情報を登録することができる。データ幅は32ビットとし、このうち下位[23:0]に欠陥画素位置情報を登録する。上位[31:24]には高速読み出しモードにおいて次に検出する欠陥画素位置情報のあるアドレスを登録する。即ち、この8ビットのアドレスは一旦アドレス/欠陥画素位置メモリ40の外部に読み出され、アドレス/欠陥画素位置メモリ40のアドレスを指定する。

【0063】図10及び図11の下位[23:0]に登録する欠陥画素位置情報は全画素読み出しモードの一面

10

20

30

40

50

面の絶対位置を示すものとする。従って、4096画素×4096行の二次元CCDセンサを使用した場合、一つの欠陥画素位置情報は水平方向12ビット(0~4095)、垂直方向12ビット(0~4095)の計24ビット幅となる。

【0064】欠陥画素位置情報の登録順序については全画素読み出しモードの読み出し順とする。即ち、図2のプログレッシブスキャン方式の撮像素子を使用する場合はアドレス0番地からD1, D2, D3, D4…の図中左上から右下の順序に登録し、図3のフィールド読み出し方式の撮像素子を使用する場合には、図3に示した範囲のみを考えると、D1, D2, D3, D4(第一フィールド), D5, D6, D7, D8, D9(第二フィールド)の順に登録する。

【0065】図10の上位[31:24]は図4の垂直単純間引き方式におけるアドレス登録方法を表したものであり、高速読み出しモードで使用する欠陥画素位置情報の読み出し順序を示している。図4の垂直単純間引き方式の場合、検出する欠陥画素はD3, D4, D10, D14…となり、最初に使用するD3のアドレス/欠陥画素位置メモリ40のアドレスのみ、開始アドレスメモリ50によって2番地と指定される。従って、2番地の上位[31:24]には次に使用するD4のアドレス3番地が、3番地の上位[31:24]にはその次に使用するD10のアドレス9番地が登録され、以下、上位[31:24]には、次に使用する欠陥画素位置情報が登録されているアドレスが登録される。

【0066】図11の上位[31:24]は図5の垂直二画素加算方式におけるアドレス登録方法を表したものであり、高速読み出しモードで使用する欠陥画素位置情報の読み出し順序を示している。図5の垂直単純間引き方式の場合、検出する欠陥画素はD5, D6, D1, D2…となり、最初に使用するD5のアドレス/欠陥画素位置メモリ40のアドレスのみ、開始アドレスメモリ50によって4番地と指定される。従って、4番地の上位[31:24]には次に使用するD6のアドレス5番地が、5番地の上位[31:24]にはその次に使用するD1のアドレス0番地が登録され、以下、上位[31:24]には、次に使用する欠陥画素位置情報が登録されているアドレスが登録される。

【0067】次に全画素読み出しモードにおける詳細な構成と動作について説明する。図示しないスイッチあるいはシャッタなどにより全画素読み出しモードがスタートすると、タイミング発生器35が撮像素子32を駆動するためのタイミングクロックを発生する。

【0068】撮像素子32は光の強弱に応じた撮像信号を出力し、アナログ処理部33を経由して、A/D変換器34によってデジタル画像信号に変換され、欠陥画素補正部45に転送される。これと同時にタイミング発生器35がタイミングクロックに同期した画素クロックを

発生すると、画素位置計測部36は画素クロックを計測する。画素位置計測部36は全画素を計数可能であるように水平12ビット(0~4095)、垂直12ビット(0~4095)の計24ビットのカウンタを備えており、全画素読み出しモードでは画素クロックにより1ずつインクリメントすることで、その計数結果は1画面の絶対位置を示すこととなる。その計測結果は順次欠陥画素検出部43に転送される。

【0069】一方、アドレス/欠陥画素位置メモリ40からは全画素読み出しモードの最初の欠陥画素となる0番地[23:0]のD1の位置情報が欠陥画素位置レジスタ42を経由し、欠陥画素検出部43に転送される。欠陥画素検出部43は画素位置計測部36から順次転送される計測結果と比較を行い、一致した場合には欠陥画素検出信号44を出力する。この信号に基づき欠陥画素補正部45は、デジタル画像信号のうち欠陥画素D1の画像信号に対し、水平方向の同色成分隣接二画素の画像信号を使用して線形補間を行った値に置換する。

【0070】同時に欠陥画素検出部43より出力される欠陥画素検出信号44が、メモリ制御回路41に転送され、次の欠陥画素となる1番地[23:0]のD2の位置情報をアドレス/欠陥画素位置メモリ40から読み出す。読み出されたD2の位置情報は欠陥画素位置レジスタ42を経由し、欠陥画素検出部43に転送される。欠陥画素検出部43は、画素位置計測部36から順次転送される計測結果とD2の位置情報の比較を行い、一致した場合には再び欠陥画素検出信号44を出力する。

【0071】上記のようにアドレス/欠陥画素位置メモリ40の0番地から、下位[23:0]の欠陥画素位置情報の読み出しを開始し、欠陥画素検出信号44が出力される度にアドレス/欠陥画素位置メモリ40のアドレスを+1インクリメントする動作を繰返すことにより、以下、欠陥画素D3, D4, D5…と全画素読み出しモードにおける欠陥画素の検出及び補正を行う。

【0072】次に高速読み出しモードの詳細な構成と動作について説明する。まず、図4の垂直単純間引き方式における構成と動作について説明する。図示しないスイッチあるいはシャッタなどにより高速読み出しモードがスタートすると、タイミング発生器35が撮像素子32を駆動するためのタイミングクロックを発生する。

【0073】撮像素子32は光の強弱に応じた撮像信号を出力し、アナログ処理部33を経由して、A/D変換器34によってデジタル画像信号に変換され、欠陥画素補正部45に転送される。これと同時にタイミング発生器35がタイミングクロックに同期した画素クロックを発生すると、画素位置計測部36は画素クロックを計測する。このとき図4の垂直単純間引き方式では、垂直方向に8ラインを単位として2ライン目と7ライン目のみを読み出すため、垂直方向のカウンタは2, 7, 10, 15, 18…のように1画面の絶対位置を示すように計

測されてゆく。その計測結果は順次欠陥画素検出部43に転送される。

【0074】一方、高速読み出しモードがスタートすると、開始アドレスメモリ50のアドレス情報「2番地」、即ち、垂直単純間引き方式で最初に使用するD3が登録されているアドレス/欠陥画素位置メモリ40のアドレスが、メモリ制御回路41によってアドレス/欠陥画素位置メモリ40に転送される。読み出されたアドレス/欠陥画素位置メモリ40における「2番地」のD3の位置情報[23:0]は、欠陥画素位置レジスタ42を経由し、欠陥画素検出部43に転送される。同時に「2番地」のアドレス情報[31:24]（3番地）は、メモリアドレスレジスタ51に転送される。

【0075】次に欠陥画素検出部43は欠陥画素位置レジスタ42と画素位置計測部36から順次転送される計測結果の比較を行い、一致した場合には欠陥画素検出信号44を出力する。この信号に基づき欠陥画素補正部45は、デジタル画像信号のうち欠陥画素D3の画像信号に対し、水平方向の同色成分隣接二画素の画像信号を使用して線形補間を行った値に置換する。

【0076】同時に欠陥画素検出部43より出力される欠陥画素検出信号44が、メモリ制御回路41に転送され、メモリアドレスレジスタのアドレス情報「3番地」がアドレス/欠陥画素位置メモリ40のアドレス入力に転送される。これによりアドレス/欠陥画素位置メモリ40の「3番地」、即ち、垂直単純間引き方式で次に使用するD4が読み出される。読み出されたアドレス/欠陥画素位置メモリ40における「3番地」のD4の位置情報[23:0]は、欠陥画素位置レジスタ42を経由し、欠陥画素検出部43に転送される。同時に「3番地」のアドレス情報[31:24]（9番地）は、メモリアドレスレジスタ51に転送される。次に欠陥画素検出部43は欠陥画素位置レジスタ42と画素位置計測部36から順次転送される計測結果の比較を行い、一致した場合には再び欠陥画素検出信号44を出力する。

【0077】上記のように、開始アドレスメモリ50のアドレス情報を元に、最初に必要な欠陥画素位置情報及び次に必要なアドレス情報をアドレス/欠陥画素位置メモリ40から読み出す。次に欠陥画素検出信号44が出力される度にメモリアドレスレジスタ51のアドレス情報をアドレス/欠陥画素位置メモリ40に転送する動作を繰返す。これにより、欠陥画素位置情報及びアドレス情報は欠陥画素検出信号44により常に更新され、以下、欠陥画素D10、D14…と垂直単純間引き方式における欠陥画素の検出及び補正を行う。

【0078】次に図5の垂直二画素加算方式における構成と動作、及び図12のタイミングチャートについて説明する。図示しないスイッチあるいはシャッタなどにより高速読み出しモードがスタートすると、タイミング発生器35が撮像素子32を駆動するためのタイミングク

ロックを発生する。

【0079】撮像素子32は光の強弱に応じた撮像信号を出力し、アナログ処理部33を経由して、A/D変換器34によってデジタル画像信号に変換され、欠陥画素補正部45に転送される。これと同時にタイミング発生器35がタイミングクロックに同期した画素クロックを発生すると、画素位置計測部36は画素クロックを計測する。このとき図5の垂直二画素加算方式では、12ラインを一つの単位として1ライン目と3ライン目及び8ライン目と10ライン目の垂直二画素が加算され、その平均が読み出される。そこで、垂直方向のカウンタは1, 8, 13, 20…のように、加算する2ラインのうちのいずれかのラインを基準として計測する。その計測結果は順次欠陥画素検出部43に転送される。

【0080】一方、高速読み出しモードがスタートすると、開始アドレスメモリ50のアドレス情報「4番地」、即ち、垂直単純間引き方式で最初に使用するD5が登録されているアドレス/欠陥画素位置メモリ40のアドレスが、メモリ制御回路41によってアドレス/欠陥画素位置メモリ40に転送される。読み出されたアドレス/欠陥画素位置メモリ40における「4番地」のD5の位置情報[23:0]は、欠陥画素位置レジスタ42を経由し、欠陥画素検出部43に転送される。同時に「4番地」のアドレス情報[31:24]（5番地）は、メモリアドレスレジスタ51に転送される。

【0081】ここで、画素位置計測部36からは基準ラインとして1, 8, 13, 20…の計測結果のみが出力されるが、2ラインに存在する欠陥画素を同時に検出するために、欠陥画素検出部43では基準ラインに2を加算した比較条件、即ち、3, 10, 15, 22…の条件が新たに生成される。これにより欠陥画素検出部43は、アドレス/欠陥画素位置メモリ40からの位置情報が基準ラインまたは基準ライン+2と一致する場合、欠陥画素検出信号44を出力することが可能となる。

【0082】D5の場合、1画面の絶対位置で3ライン目に存在するので、画素位置計測部36から基準ラインである1が出力され、基準ライン+2の比較条件で一致し、欠陥画素検出信号44が出力される。欠陥画素検出信号44が出力されると欠陥画素補正部45は、デジタル画像信号のうち欠陥画素D5の画像信号に対し、水平方向の同色成分隣接二画素の画像信号を使用して線形補間を行った値に置換する。

【0083】同時に欠陥画素検出部43より出力される欠陥画素検出信号44が、メモリ制御回路41に転送され、メモリアドレスレジスタのアドレス情報「5番地」がアドレス/欠陥画素位置メモリ40のアドレス入力に転送される。これによりアドレス/欠陥画素位置メモリ40の「5番地」、即ち、垂直単純間引き方式で次に使用するD6が読み出される。読み出されたアドレス/欠陥画素位置メモリ40における「5番地」のD6の位置

10

20

30

40

50

情報〔23:0〕は、欠陥画素位置レジスタ42を經由し、欠陥画素検出部43に転送される。同時に「5番地」のアドレス情報〔31:24〕（0番地）は、メモリアドレスレジスタ51に転送される。次に欠陥画素検出部43は画素位置計測部36から順次転送される計測結果を元に比較条件を生成し、一致した場合には再び欠陥画素検出信号44を出力する。

【0084】上記のように、欠陥画素検出部43で2ラインに存在する欠陥画素を検出するため、画素位置計測部36からの計測結果を元に比較条件の追加を実施する。さらに、開始アドレスメモリ50のアドレス情報を元に、最初に必要な欠陥画素位置情報及び次に必要なアドレス情報をアドレス／欠陥画素位置メモリ40から読み出す。次に欠陥画素検出信号44が出力される度にメモリアドレスレジスタ51のアドレス情報をアドレス／欠陥画素位置メモリ40に転送する動作を繰返す。これにより、欠陥画素位置情報及びアドレス情報は欠陥画素検出信号44により常に更新され、以下、欠陥画素D1、D2、D7…と垂直二画素加算方式における欠陥画素の検出及び補正を行う。

【0085】以上で明らかなように、この実施の形態2によれば、欠陥画素位置情報と、高速読み出しモードにおける欠陥画素を検出するための検出手順を同じメモリに登録することにより、メモリ領域を有効に活用することができ、全画素読み出しモードと高速読み出しモードのモード別に欠陥画素の位置情報を登録する必要がなくなり、メモリ容量の削減が可能となる。

【0086】なお、この実施の形態2では、撮像素子は4096画素×4096行を有するものとしたが、画素数は任意でよく、それに応じて画素カウンタのビット数を変更すればよい。また、検出する欠陥画素の登録数も任意であり、メモリの容量を変更すればよい。

【0087】また、この実施の形態2では、撮像素子なる入力デバイスであったが、液晶やプラズマディスプレイ等の表示デバイスの欠陥画素検出にも適応可能であり、この実施の形態2と同様の効果を得ることができる。

【0088】実施の形態3。図13はこの発明の実施の形態3による欠陥画素検出装置を示す構成図であり、図において、図9と同一符号は同一又は相当部分を示すので説明を省略する。40は縦横計24ビットの欠陥画素の位置情報と、高速読み出しモードで使用する欠陥画素位置情報が登録されている4ビットの相対アドレスを登録するメモリであって、最大256個の欠陥画素位置情報を登録することが可能なアドレス／欠陥画素位置メモリ、60はメモリアドレスレジスタ51を經由してアドレス／欠陥画素位置メモリ40から出力される4ビットの相対アドレスを、アドレス／欠陥画素位置メモリ40の8ビットの絶対アドレスに変換するアドレス変換部である。61は4ビットの相対アドレスから8ビットの絶

対アドレスを生成できないとき、アドレス変換部60から出力されるアドレスエラー信号である。

【0089】次に動作について説明する。上記実施の形態1、2では、高速読み出しモードの検出手順情報として、メモリの絶対アドレスを使用するものであるが、検出手順としてメモリの相対アドレスを使用するようにしてもよい。

【0090】図14は図4における垂直単純間引き方式、図15は図5の垂直二画素加算方式の撮像素子を使用した場合のアドレス／欠陥画素位置メモリ40を表したものである。アドレス／欠陥画素位置メモリ40は8ビットのアドレス空間を有し、最大256個の欠陥画素位置情報を登録することができる。データ幅は28ビットとし、このうち下位〔23:0〕に欠陥画素位置情報を登録する。上位〔27:24〕には高速読み出しモードにおいて次に検出する欠陥画素位置情報のある相対アドレスを登録する。この4ビットのアドレスは一旦アドレス／欠陥画素位置メモリ40の外部に読み出され、アドレス変換部60によってアドレス／欠陥画素位置メモリ40の絶対アドレスに変換される。

【0091】図14及び図15の下位〔23:0〕に登録する欠陥画素位置情報については、上記実施の形態2と同様であるため説明を省略する。図14及び図15の上位〔27:24〕4ビットは図4の垂直単純間引き方式における相対アドレス登録方法を表したものであり、高速読み出しモードで使用する欠陥画素位置情報の読み出し順序を示している。このうち〔26:24〕の3ビットは符号付きの相対アドレスを表し、-4～+3の範囲を指定することができ、この3ビットの相対アドレスはアドレス変換部60に送られる。アドレス変換部60では、現在読み出しを行っているアドレス／欠陥画素位置メモリ40のアドレスの値に相対アドレスを加算し、絶対アドレスに変換した後にメモリ制御回路41を經由してアドレス／欠陥画素位置メモリ40に転送する。また、〔28〕の1ビットは-4～+3の範囲で相対アドレスを表現できない場合、Highとしてアドレス変換部60に通知する。

【0092】図4の垂直単純間引き方式の場合、検出する欠陥画素はD3、D4、D10、D14…となり、最初に使用するD3のアドレス／欠陥画素位置メモリ40のアドレスは、開始アドレスメモリ50によって2番地と指定される。従って、2番地の上位〔26:24〕には次に使用するアドレス3番地のD4の相対アドレス3（番地）-2（番地）=+1が登録されることになる。3番地の上位〔26:24〕には次に使用するアドレス9番地のD10の相対アドレスを登録することになるが、9（番地）-3（番地）=+6となり、3ビットで表現することができないため〔27〕はHighとする。以下、D14以降についても〔26:24〕に相対アドレスを、〔27〕には相対アドレスが登録可能であ

10

20

30

40

50

るかを登録する。

【0093】図5の垂直二画素加算方式の場合、検出する欠陥画素はD5、D6、D1、D2…となり、最初使用するD5のアドレス／欠陥画素位置メモリ40のアドレスは、開始アドレスメモリ50によって4番地と指定される。従って、4番地の上位[26:24]には次に使用するアドレス5番地のD6の相対アドレス5(番地)−4(番地)=+1が登録されることになる。5番地の上位[26:24]には次に使用するアドレス0番地のD1の相対アドレスを登録することになるが、0

(番地)−5(番地)=−5となり、3ビットで表現することができないため[27]はHighとする。以下、D1以降についても[26:24]に相対アドレスを、[27]には相対アドレスが登録可能であるかを登録する。

【0094】図16は図4における垂直単純間引き方式、図17は図5の垂直二画素加算方式の撮像素子を使用した場合の開始アドレスメモリ50を表したものである。開始アドレスメモリ50はアドレス変換部60からアドレスエラー信号が出力された場合、絶対アドレスを

【0095】次に詳細な構成と動作について説明するが、全画素読み出しモードについては、上記実施の形態2と同様であるため説明を省略する。高速読み出しモードの詳細な構成と動作について説明する。まず、図4の垂直単純間引き方式における構成と動作について説明する。図示しないスイッチあるいはシャッタなどにより高速読み出しモードがスタートすると、タイミング発生器35が撮像素子32を駆動するためのタイミングクロックを発生する。

【0096】撮像素子32は光の強弱に応じた撮像信号を出力し、アナログ処理部33を経由して、A/D変換器34によってデジタル画像信号に変換され、欠陥画素補正部45に転送される。これと同時にタイミング発生器35がタイミングクロックに同期した画素クロックを発生すると、画素位置計測部36は画素クロックを計測する。このとき図4の垂直単純間引き方式では、垂直方向に8ラインを単位として2ライン目と7ライン目のみを読み出すため、垂直方向のカウンタは2、7、10、15、18…のように1画面の絶対位置を示すように計測されてゆく。その計測結果は順次欠陥画素検出部43に転送される。

【0097】一方、高速読み出しモードがスタートすると、開始アドレスメモリ50の0番地のアドレス情報「2番地」、即ち、垂直単純間引き方式で最初使用するD3が登録されているアドレス／欠陥画素位置メモリ40のアドレスが、メモリ制御回路41によってアドレス／欠陥画素位置メモリ40に転送される。読み出されたアドレス／欠陥画素位置メモリ40における「2番

地」のD3の位置情報[23:0]は、欠陥画素位置レジスタ42を経由して、欠陥画素検出部43に転送される。

【0098】同時に「2番地」の相対アドレス情報[27]=0、[26:24]=+1は、メモリアドレスレジスタ51に転送される。アドレス変換部60は27ビット目がLowであることから、開始アドレスメモリ50から出力されるアドレス情報(2番地)から次に指定すべきアドレス／欠陥画素位置メモリ40のアドレス演算「2(番地)+1=3(番地)」を行う。D4アドレスとなる演算結果「3番地」はメモリ制御回路41に送られ、アドレス／欠陥画素位置メモリ40から読み出す準備を行う。また、欠陥画素検出部43は欠陥画素位置レジスタ42と画素位置計測部36から順次転送される計測結果の比較を行い、一致した場合には欠陥画素検出信号44を出力する。この信号に基づき欠陥画素補正部45は、デジタル画像信号のうち欠陥画素D3の画像信号に対し、水平方向の同色成分隣接二画素の画像信号を使用して線形補間を行った値に置換する。

【0099】同時に欠陥画素検出部43より出力される欠陥画素検出信号44が、メモリ制御回路41に転送され、アドレス変換部60の演算結果である「3番地」がアドレス／欠陥画素位置メモリ40のアドレス入力に転送される。これによりアドレス／欠陥画素位置メモリ40の「3番地」、即ち、垂直単純間引き方式で次に使用するD4が読み出される。読み出されたアドレス／欠陥画素位置メモリ40における「3番地」のD4の位置情報[23:0]は、欠陥画素位置レジスタ42を経由して、欠陥画素検出部43に転送される。

【0100】同時に「3番地」のアドレス情報[27]=1、[26:24]=don't careは、メモリアドレスレジスタ51に転送される。アドレス変換部60は、27ビット目がHighであることから絶対アドレスの生成ができず、アドレスエラー信号61を出力する。アドレスエラー信号61を受けた開始アドレスメモリ50は、アドレスを+1インクリメントして1番地のアドレス情報「9番地」をメモリ制御回路41及びアドレス変換部60に転送する。また、欠陥画素検出部43は欠陥画素位置レジスタ42と画素位置計測部36から順次転送される計測結果の比較を行い、一致した場合には、再び欠陥画素検出信号44を出力する。

【0101】上記のように、開始アドレスメモリ50のアドレス情報を元に、最初に必要な欠陥画素位置情報及び次に必要な相対アドレス情報をアドレス／欠陥画素位置メモリ40から読み出す。同時にアドレス変換部60は絶対アドレスが生成可能な場合は開始アドレス50のアドレス情報と相対アドレス情報を元に、次に検出を行う欠陥画素位置情報が登録されている絶対アドレスを演算し、絶対アドレスが生成不可能な場合はアドレスエラー信号61を開始アドレスメモリ50に出力して必要な

絶対アドレスを読み出す。

【0102】次に欠陥画素検出信号44が出力される度にアドレス変換部60の絶対アドレス情報をアドレス／欠陥画素位置メモリ40に転送する動作を繰返す。これにより、欠陥画素位置情報及びアドレス情報は欠陥画素検出信号44により常に更新され、以下、欠陥画素D10、D14…と垂直単純間引き方式における欠陥画素の検出及び補正を行う。

【0103】図5の垂直二画素加算方式における構成と動作については、上記垂直単純間引き方式と同様であるため説明を省略する。

【0104】以上で明らかなように、この実施の形態3によれば、高速読み出しモードにおける欠陥画素検出のための検出手順を相対アドレスで登録することにより、検出手順用のメモリ容量を低減することが可能となり、かつ、全画素読み出しモードと高速読み出しモードのモード別に欠陥画素の位置情報を登録する必要がなくなることから、メモリ容量の削減が可能となる。

【0105】なお、この実施の形態3では、撮像素子が4096画素×4096行を有するものとしたが、画素数は任意でよく、それに応じて画素カウンタのビット数を変更すればよい。また、検出する欠陥画素の登録数も任意であり、メモリの容量を変更すればよい。

【0106】また、この実施の形態2では、登録する相対アドレスを4ビットとして指定できる範囲を-4〜+3としたが、相対アドレスのビット幅は検出する欠陥画素の間隔など考慮して変更すればよい。

【0107】また、この実施の形態3におけるアドレス変換部60の演算及び処理は、H/Wまたはマイクロプロセッサのいずれでも実現可能である。さらに、この実施の形態3では、撮像素子なる入力デバイスであったが、液晶やプラズマディスプレイ等の表示デバイスの欠陥画素検出にも適応可能であり、この実施の形態3と同様の効果を得ることができる。

【0108】実施の形態4。図18はこの発明の実施の形態4による欠陥画素検出装置を示す構成図であり、図において、図1と同一符号は同一又は相当部分を示すので説明を省略する。70は縦横計24ビットの欠陥画素の位置情報と、各モードで必要な欠陥画素位置情報を検出する5ビットの識別フラグ情報を登録するメモリであって、最大256個の欠陥画素位置情報を登録することが可能なフラグ／欠陥画素位置メモリ（記憶手段）である。71a、71b、71c、71dはフラグ／欠陥画素位置メモリ70から読み出された欠陥画素位置情報を一時的に記憶する24ビットの位置レジスタである。72a、72b、72c、72dはフラグ／欠陥画素位置メモリ70から読み出された識別フラグ情報を一時的に記憶する5ビットのフラグレジスタである。73はフラグレジスタ72a〜72dから出力されるフラグ情報を元に、フラグ／欠陥画素位置メモリ70のアドレス更新

信号などを生成するメモリアドレス更新部である。

【0109】次に動作について説明する。上記実施の形態1〜3では、検出手順として絶対アドレス情報あるいは相対アドレス情報を使用するものであるが、検出手順として、検出すべき欠陥画素位置情報であるか否かを示す識別情報を使用するようにしてもよい。

【0110】欠陥画素位置情報のフラグ／欠陥画素位置メモリ70への登録順序について説明する。上記実施の形態1〜3では全画素読み出しモードで読み出される順、即ち、プログレッシブスキャン方式では図2のように、フィールド読み出し方式では図3の順にメモリへの登録を行っている。しかし、検出手順として識別情報を使用する実施の形態4では、全画素読み出しモードの方式に拘わらず、撮像素子32の左上から右下の順、即ち、プログレッシブスキャン方式では上記実施の形態1〜3と同様に図2の順で、フィールド読み出し方式では図19の順で登録を行う。

【0111】図20に全画素読み出しモードにおいて4フィールドのフィールド読み出し方式、高速読み出しモードにおいて図4の垂直単純間引き方式の撮像素子を使用した場合のフラグ／欠陥画素位置メモリ70を示す。8ビットのアドレス空間を有し、最大256個の欠陥画素位置情報を登録することができる。データ幅は29ビットとし、このうち下位[23:0]に図19の順で欠陥画素位置情報を登録する。また、上位[28:24]には、読み出し方式に応じて検出が必要な欠陥画素位置情報に対し、識別フラグを登録する。

【0112】24ビット目には高速読み出しモードで有効なラインに存在する欠陥画素、即ち、2、7、10、15、18、23…ライン上に存在するD3、D4、D10、D14…を識別するためにHighを登録する。25ビット目には全画素読み出しモードにおいて1フィールド目に存在する欠陥画素、即ち、1、5、9、13、17…ラインに存在するD1、D2、D8、D12…を識別するためにHighを登録する。以下、同様に26ビットから28ビットに対しても2フィールドから4フィールド目に存在する欠陥画素を識別するために各々Highを登録する。

【0113】次に詳細な構成と動作について、図4の単純間引き方式による高速読み出しモードを例に説明する。レンズ系31〜画素位置計測部36及び欠陥画素検出部43〜欠陥画素補正部45の動作については、上記実施の形態1〜3における単純間引き方式の動作と同様であるため説明を省略する。

【0114】高速読み出しモードにおいて必要な欠陥画素の検出方法について、位置レジスタ71a〜71d及びフラグレジスタ72a〜72dの変化を示した図21と、高速読み出しモードがスタートした直後の水平帰線期間（図21の①に相当）におけるフラグ／欠陥画素位置メモリ70のタイミングチャートを示した図22を併

用して説明する。

【0115】高速読み出しモードがスタートするとメモリ制御回路41は、図示しない水平／垂直同期信号から1フレームの最初の水平帰線期間を識別し、図22のようにアドレスを連続転送するバーストリードモードでフラグ／欠陥画素位置メモリ70の0番地から欠陥画素位置情報及び識別フラグ情報を読み出す。次にメモリアドレス更新部73は、フラグレジスタ72aを監視し、フラグ／欠陥画素位置メモリ70の24ビット目がHighの場合、即ち、高速読み出しモードに必要な欠陥画素位置情報D3が読み出されると、メモリ制御回路41に対してバーストリードモード停止信号を発効し読み出しが停止する。このとき停止信号の発効から実際に読み出しが停止するまで出力されるD6～D3の欠陥画素位置情報及び識別フラグ情報は、図21の④のように位置レジスタ71a～71d及びフラグレジスタ72a～72dに保持される。

【0116】次に高速読み出しモードにおいて最初のライン、即ち、2ライン目の水平有効期間が開始すると、欠陥画素検出部43は画素位置計測部36と位置レジスタ71dの比較を開始する。一致した場合、即ち、画素位置計測部36からD3の計測結果が出力されると、欠陥画素検出信号44がメモリアドレス更新部73に出力される。メモリアドレス更新部73は、欠陥画素検出信号44を受けるとメモリ制御回路41に対してアドレス更新信号を発効する。メモリ制御回路41はアドレス更新信号を受け、アドレスを+1ずつインクリメントして一旦読み出し動作を停止するシングルリードモードでフラグ／欠陥画素位置メモリ70の内容を読み出す。このとき位置レジスタ71dには次の欠陥画素位置情報D4が保持されることになり、同様に欠陥画素の検出及びアドレスの更新が行なわれ、図21の②の状態となる。

【0117】次の水平帰線期間、即ち、7ライン目の水平帰線期間が開始されると、メモリアドレス更新部73はフラグレジスタ72a～72dの状態を監視する。この場合、フラグレジスタ72a～72dのいずれもLowであるため、再び上記と同様にバーストリードモードによってフラグ／欠陥画素位置メモリ70の欠陥画素位置情報及び識別フラグ情報を読み出し、図21の③の状態となる。

【0118】7ライン目、10ライン目と画素位置計測部36は計測を進め、15ライン目の水平有効期間にD10の欠陥画素が検出され、図21の④の状態となる。この状態で18ライン目の水平帰線期間が開始されると、メモリアドレス更新部73は再びフラグレジスタ72a～72dの状態を監視する。この場合、フラグレジスタ72aがHighとなっており、次に検出するD14が位置レジスタ71aに保持されていることから、メモリアドレス更新部73はメモリ制御回路41に対してアドレスを+3進めるよう命令を与え、図21の⑤の状

態となる。

【0119】18ライン目、23ライン目と画素位置計測部36は計測を進め、26ライン目の水平有効期間にD14の欠陥画素が検出され、図21の⑥の状態となる。以上のようにメモリアドレス更新部73が水平帰線期間にフラグレジスタ72a～72dの状態を監視し、フラグ／欠陥画素位置メモリ70の読み出し方法を制御することを繰返すことにより、高速読み出しモードにおける欠陥画素の検出及び補正を行うことが可能となる。

10 【0120】以上のメモリアドレス更新部73の制御フローチャートを図23に示す。ここでは具体例として高速読み出しモードを挙げたが、上記のような識別フラグ情報を監視する制御を行うことにより、読み出しモードに依存しない欠陥画素の検出及び補正を行うことが可能となる。

【0121】以上で明らかなように、この実施の形態4によれば、欠陥画素検出のための検出手順を識別フラグ情報とし、メモリアドレス更新部73でフラグ／欠陥画素位置メモリ70の読み出し方法を制御することにより、全画素読み出しモードと高速読み出しモードのモード別に欠陥画素の位置情報を登録する必要がなくなり、かつ、読み出しモードに依存しない制御が可能となることから、メモリ容量と回路規模の削減が可能となる。

【0122】なお、この実施の形態4では、撮像素子が4096画素×4096行を有するものとしたが、画素数は任意でよく、それに応じて画素カウンタのビット数を変更すればよい。また、検出する欠陥画素の登録数も任意であり、メモリの容量を変更すればよい。

30 【0123】また、この実施の形態4では、登録する識別フラグ情報を5ビットとしたが、2フィールドのフィールド読み出し方式の撮像素子32を使用した場合は3ビットで、プログレッシブスキャン方式の撮像素子32を使用した場合は2ビットで実現可能となる。

【0124】また、この実施の形態4におけるメモリアドレス更新部73は、H/Wまたはマイクロプロセッサのいずれでも実現可能である。さらに、この実施の形態4では、撮像素子なる入力デバイスであったが、液晶やプラズマディスプレイ等の表示デバイスの欠陥画素検出にも適応可能であり、この実施の形態4と同様の効果を得ることができる。

40 【0125】

【発明の効果】以上のように、この発明によれば、欠陥画素の画素位置を記憶する記憶手段に読み出しモード毎に前記画素位置の参照手順を記憶させるようにしたので、欠陥画素の位置を逐次検出せずとも画像読み出し手段により採用されている読み出しモードに対応する参照手順にしたがって欠陥画素の画素位置を取得し、その欠陥画素の画素位置と計測手段により計測された読み出し画素位置を比較して欠陥画素を検出することができ、また読み出しモード別に欠陥画素の位置情報を登録する必

要がないので、メモリ容量の削減が可能であり、全画素読み出し方式や高速読み出し方式といった様々な読み出し方式の撮像素子への対応が可能な汎用性の高い欠陥画素検出装置を得ることができる効果がある。

【0126】この発明によれば、欠陥画素検出手段により検出された欠陥画素の画像信号を補正する補正手段を設けるように構成したので、画素の白つぶれや黒つぶれなどを見かけ上解消することができる効果がある。

【0127】この発明によれば、欠陥画素の画素位置と参照手順を対にして記憶するように構成したので、メモリ容量を削減することができる効果がある。

【0128】この発明によれば、記憶手段に記憶されている画素位置の参照手順が、欠陥画素の画素位置が記憶されている絶対アドレスを示す座標情報であるように構成したので、欠陥画素の画素位置を速やかに認識することができる効果がある。

【0129】この発明によれば、記憶手段に記憶されている画素位置の参照手順が、欠陥画素の画素位置が記憶されている相対アドレスを示す座標情報であるように構成したので、メモリ容量を削減することができる効果がある。

【0130】この発明によれば、記憶手段に記憶されている画素位置の参照手順が、所望する欠陥画素の画素位置であるか否かを示す識別情報であるように構成したので、メモリ容量と回路規模を削減することができる効果がある。

【0131】この発明によれば、記憶手段に記憶されている欠陥画素の画素位置と参照手順を予め読み出して一時的に格納し、計測手段から読み出し画素位置が出力されると、その欠陥画素の画素位置と参照手順を欠陥画素検出手段に出力する一時的格納手段を設けるように構成したので、記憶手段からの読み出し速度が遅い場合でも、速やかに欠陥画素の画素位置と参照手順を欠陥画素検出手段に出力することができる効果がある。

【0132】この発明によれば、一時的格納手段が複数の欠陥画素の画素位置と参照手順を一時的に格納するように構成したので、記憶手段からの読み出し速度が遅い場合でも、速やかに欠陥画素の画素位置と参照手順を欠陥画素検出手段に出力することができる効果がある。

【0133】この発明によれば、画像読み出し処理手順により採用されている読み出しモードに対応する参照手順にしたがって欠陥画素の画素位置を取得し、その欠陥画素の画素位置と計測処理手順により計測された読み出し画素位置を比較して欠陥画素を検出するように構成したので、様々な読み出し方式の撮像素子に対応することが可能な汎用性の高い欠陥画素検出装置を得ることができる効果がある。

【0134】この発明によれば、欠陥画素検出処理手順により検出された欠陥画素の画像信号を補正する補正処理手段を設けるように構成したので、画素の白つぶれや

黒つぶれなどを見かけ上解消することができる効果がある。

【0135】この発明によれば、欠陥画素の画素位置と参照手順を対にして記憶するように構成したので、メモリ容量を削減することができる効果がある。

【0136】この発明によれば、記憶処理手順に記憶されている画素位置の参照手順が、欠陥画素の画素位置が記憶されている絶対アドレスを示す座標情報であるように構成したので、欠陥画素の画素位置を速やかに認識することができる効果がある。

【0137】この発明によれば、記憶処理手順に記憶されている画素位置の参照手順が、欠陥画素の画素位置が記憶されている相対アドレスを示す座標情報であるように構成したので、メモリ容量を削減することができる効果がある。

【0138】この発明によれば、記憶処理手順に記憶されている画素位置の参照手順が、所望する欠陥画素の画素位置であるか否かを示す識別情報であるように構成したので、メモリ容量と回路規模を削減することができる効果がある。

【0139】この発明によれば、記憶処理手順に記憶されている欠陥画素の画素位置と参照手順を予め読み出して一時的に格納し、計測処理手順から読み出し画素位置が出力されると、その欠陥画素の画素位置と参照手順を欠陥画素検出処理手順に出力する一時的格納処理手段を設けるように構成したので、記憶処理手順からの読み出し速度が遅い場合でも、速やかに欠陥画素の画素位置と参照手順を欠陥画素検出処理手順に出力することができる効果がある。

【0140】この発明によれば、一時的格納処理手順が複数の欠陥画素の画素位置と参照手順を一時的に格納するように構成したので、記憶処理手順からの読み出し速度が遅い場合でも、速やかに欠陥画素の画素位置と参照手順を欠陥画素検出処理手順に出力することができる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による欠陥画素検出装置を示す構成図である。

【図2】 全画素読み出しモードにおけるプログレッシブスキャン方式の撮像素子面の一部を表す説明図である。

【図3】 全画素読み出しモードにおけるフィールド読み出し方式の撮像素子面の一部を表す説明図である。

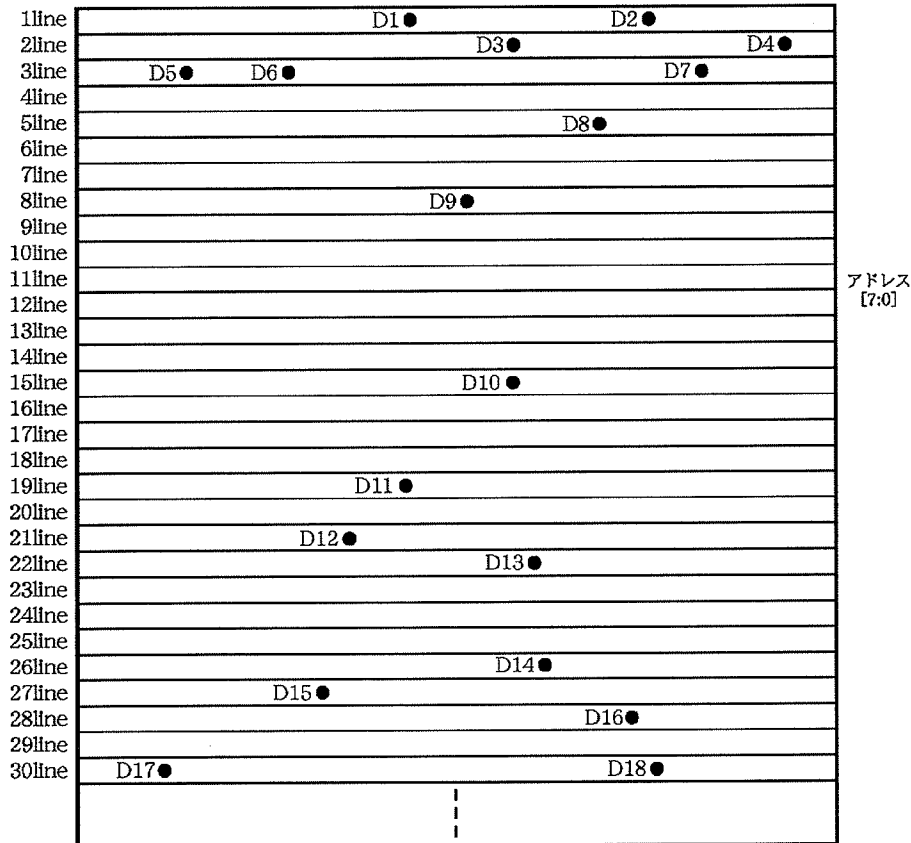
【図4】 高速読み出しモードにおける垂直単純間引き方式の撮像素子面の一部を表す説明図である。

【図5】 高速読み出しモードにおける垂直二画素加算方式の撮像素子面の一部を表す説明図である。

【図6】 欠陥画素位置メモリを表す説明図である。

【図7】 垂直単純間引き方式におけるアドレスメモリを表す説明図である。

【图2】



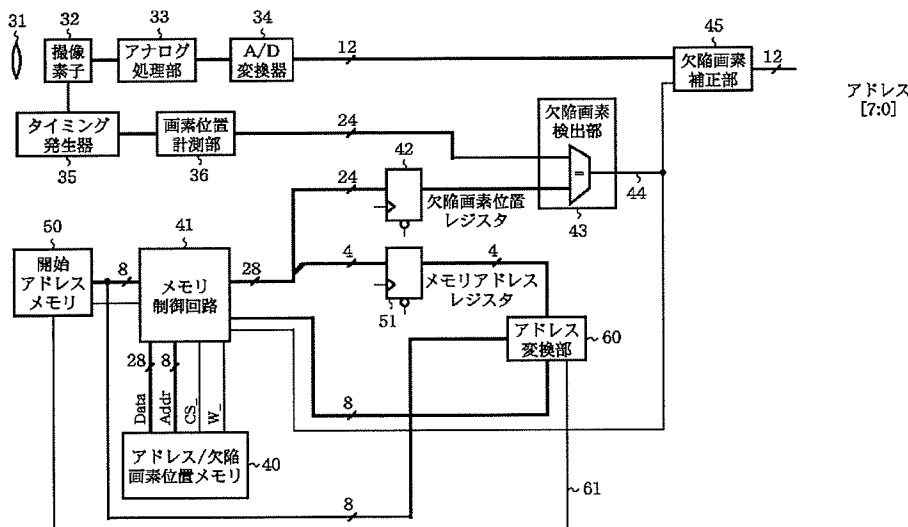
【図 6】

欠陥面素位置情報 [23:0]	
0	Damage Pixel Adr.D1
1	Damage Pixel Adr.D2
2	Damage Pixel Adr.D3
3	Damage Pixel Adr.D4
4	Damage Pixel Adr.D5
5	Damage Pixel Adr.D6
6	Damage Pixel Adr.D7
7	Damage Pixel Adr.D8
8	Damage Pixel Adr.D9
9	Damage Pixel Adr.D10
10	Damage Pixel Adr.D11
11	Damage Pixel Adr.D12
12	Damage Pixel Adr.D13
13	Damage Pixel Adr.D14
14	Damage Pixel Adr.D15
15	Damage Pixel Adr.D16
16	Damage Pixel Adr.D17
17	Damage Pixel Adr.D18
.	.
.	.

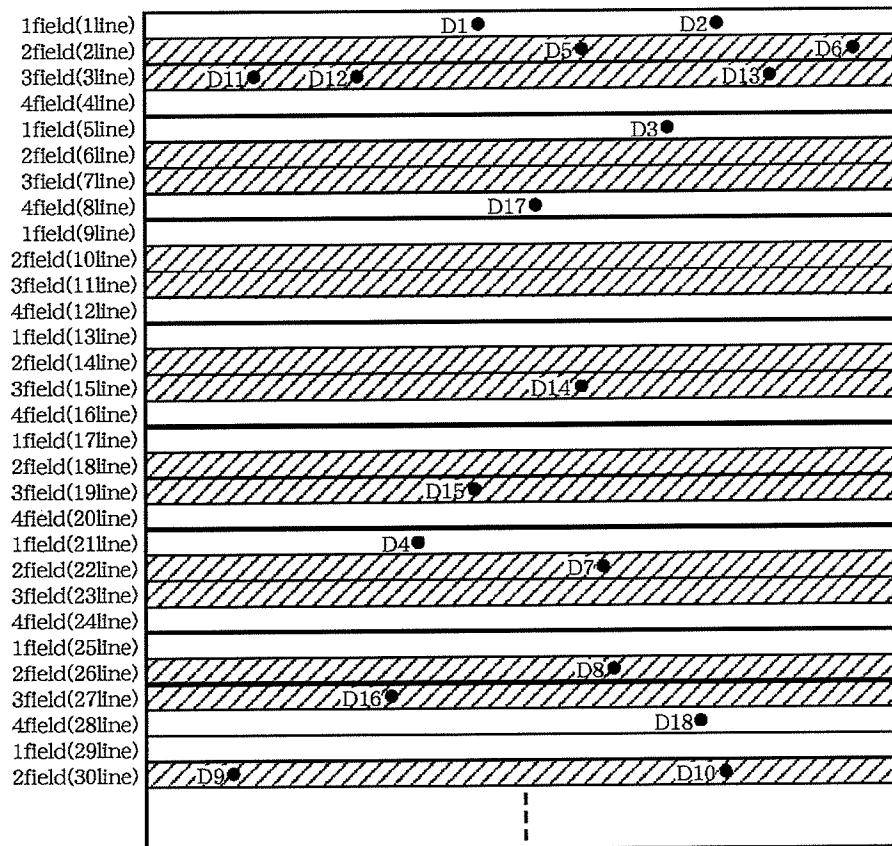
【図 7】

欠陥画面素位置メモリの アドレス情報[7:0]	
0	Mem.Adr.2
1	Mem.Adr.3
2	Mem.Adr.9
3	Mem.Adr.13
4	•
5	•
6	•
7	•
8	•
9	•
10	•
11	•
12	•
13	•
14	•
15	•
16	•
17	•
•	•
•	•

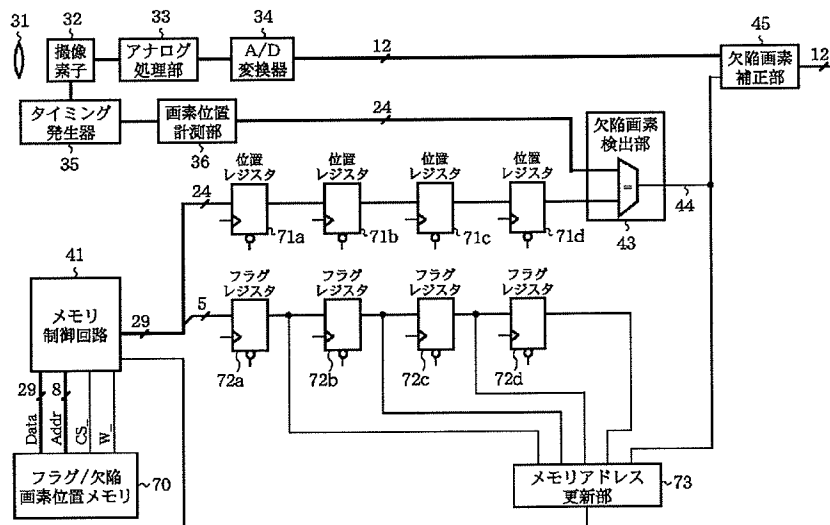
【图 13】



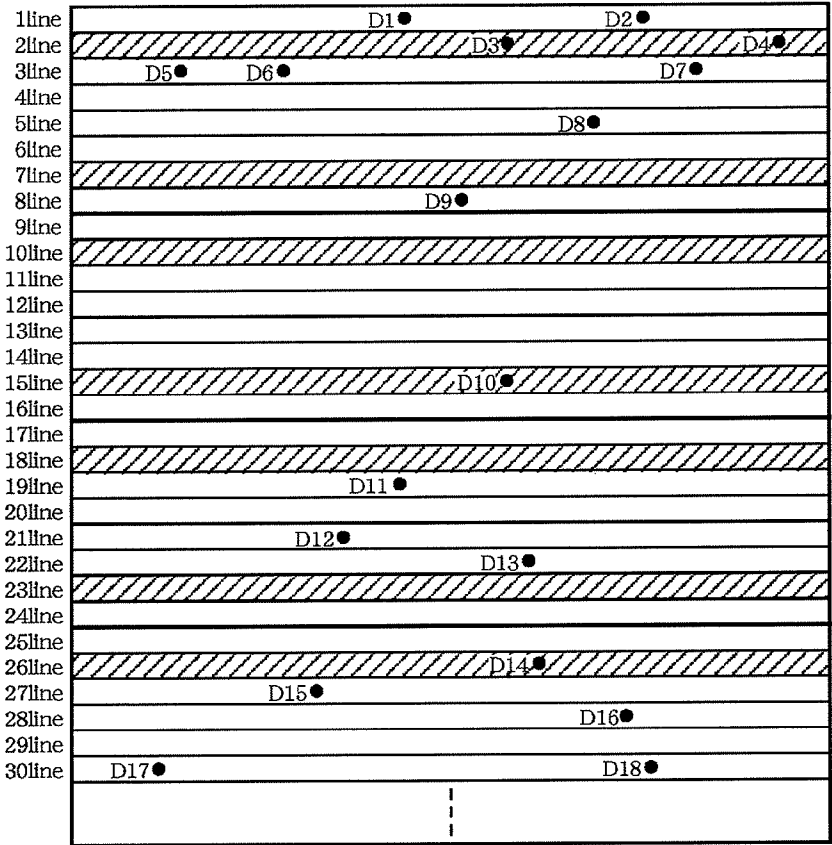
【図3】



【図18】



【図4】



【図8】

欠陥画素位置メモリの
アドレス[7:0]

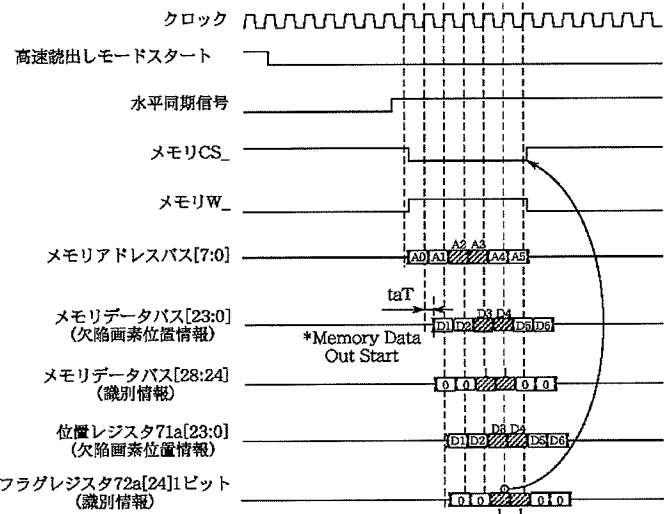
0	Mem.Adr.4
1	Mem.Adr.5
2	Mem.Adr.0
3	Mem.Adr.1
4	Mem.Adr.6
5	Mem.Adr.8
6	Mem.Adr.9
7	Mem.Adr.12
8	Mem.Adr.14
9	.
10	.
11	.
12	.
13	.
14	.
15	.
16	.
17	.
.	.
.	.

【図16】

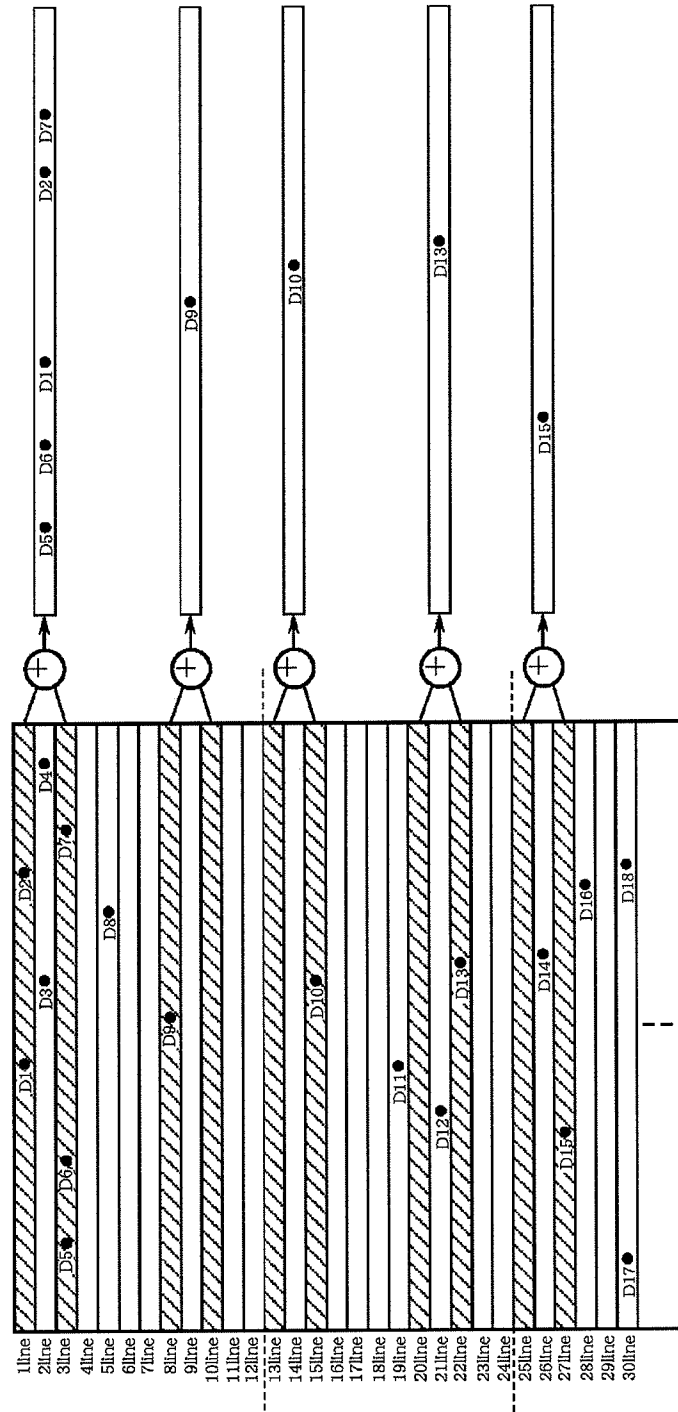
欠陥画素位置メモリの
アドレス情報[7:0]

0	Mem.Adr.2
1	Mem.Adr.9
2	Mem.Adr.13
3	.
4	.
5	.
6	.
7	.
8	.
9	.
10	.
11	.
12	.
13	.
14	.
15	.
16	.
17	.
.	.
.	.

【図22】



【図5】



【図10】

アドレス情報 [31:24]		欠陥画素位置情報 [23:0]
0		Damage Pixel Adr.D1
1		Damage Pixel Adr.D2
2	Mem.Adr.3	Damage Pixel Adr.D3
3	Mem.Adr.9	Damage Pixel Adr.D4
4		Damage Pixel Adr.D5
5		Damage Pixel Adr.D6
6		Damage Pixel Adr.D7
7		Damage Pixel Adr.D8
8		Damage Pixel Adr.D9
9	Mem.Adr.13	Damage Pixel Adr.D10
10		Damage Pixel Adr.D11
11		Damage Pixel Adr.D12
12		Damage Pixel Adr.D13
13	Mem.Adr.X	Damage Pixel Adr.D14
14		Damage Pixel Adr.D15
15		Damage Pixel Adr.D16
16		Damage Pixel Adr.D17
17		Damage Pixel Adr.D18
*	*	*
*	*	*

【図11】

アドレス情報 [31:24]		欠陥画素位置情報 [23:0]
0	Mem.Adr.1	Damage Pixel Adr.D1
1	Mem.Adr.6	Damage Pixel Adr.D2
2		Damage Pixel Adr.D3
3		Damage Pixel Adr.D4
4	Mem.Adr.5	Damage Pixel Adr.D5
5	Mem.Adr.0	Damage Pixel Adr.D6
6	Mem.Adr.8	Damage Pixel Adr.D7
7		Damage Pixel Adr.D8
8	Mem.Adr.9	Damage Pixel Adr.D9
9	Mem.Adr.12	Damage Pixel Adr.D10
10		Damage Pixel Adr.D11
11		Damage Pixel Adr.D12
12	Mem.Adr.14	Damage Pixel Adr.D13
13		Damage Pixel Adr.D14
14	Mem.Adr.X	Damage Pixel Adr.D16
15		Damage Pixel Adr.D16
16		Damage Pixel Adr.D17
17		Damage Pixel Adr.D18
*	*	*
*	*	*

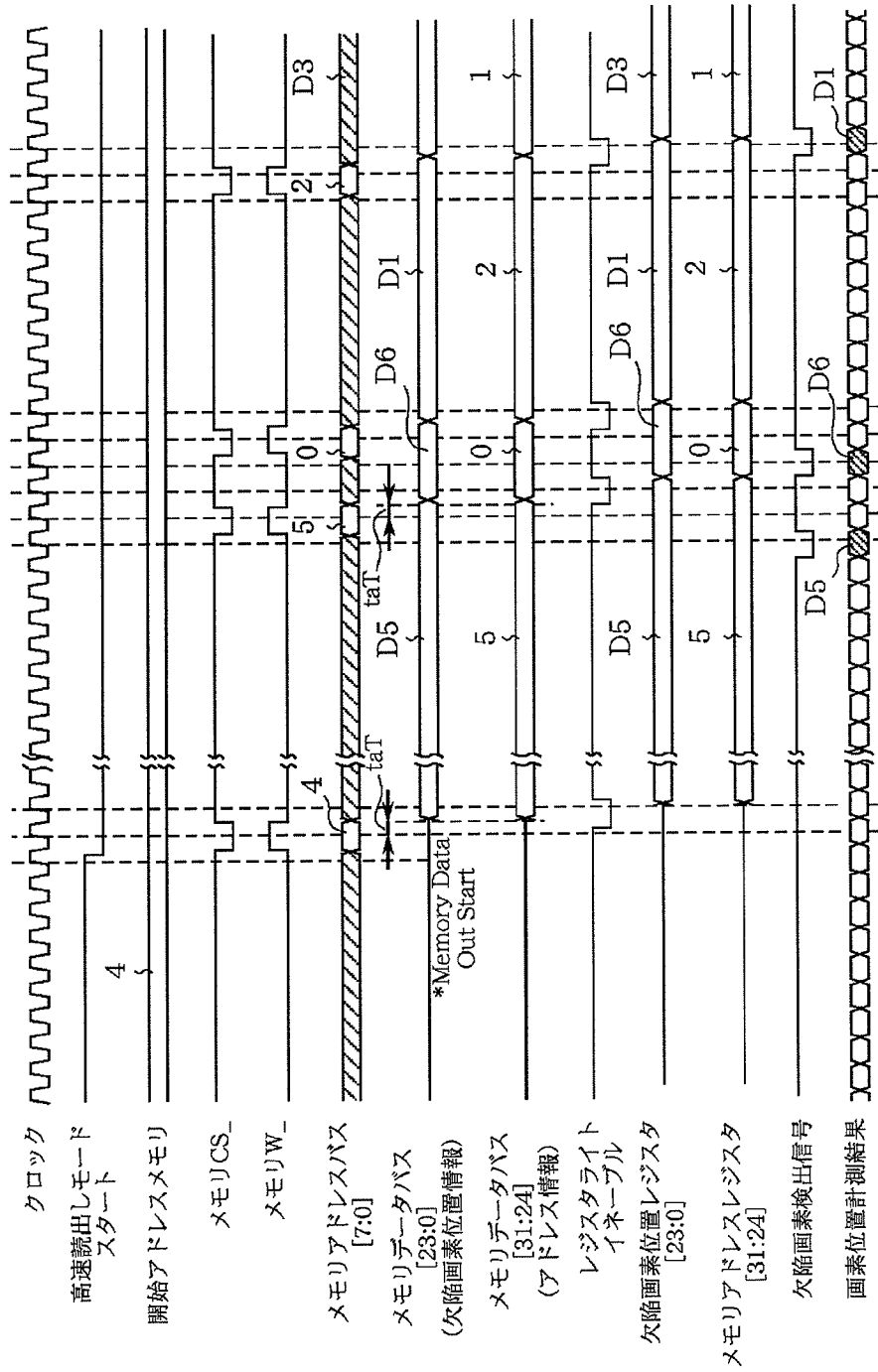
【図14】

アドレス情報 [26:24]		欠陥画素位置情報 [23:0]
0		Damage Pixel Adr.D1
1		Damage Pixel Adr.D2
2	0 +1	Damage Pixel Adr.D3
3	1 don't care	Damage Pixel Adr.D4
4		Damage Pixel Adr.D5
5		Damage Pixel Adr.D6
6		Damage Pixel Adr.D7
7		Damage Pixel Adr.D8
8		Damage Pixel Adr.D9
9	1 don't care	Damage Pixel Adr.D10
10		Damage Pixel Adr.D11
11		Damage Pixel Adr.D12
12		Damage Pixel Adr.D13
13	1 don't care	Damage Pixel Adr.D14
14		Damage Pixel Adr.D15
15		Damage Pixel Adr.D16
16		Damage Pixel Adr.D17
17		Damage Pixel Adr.D18
*	*	*
*	*	*

【図15】

アドレス情報 [26:24]		欠陥画素位置情報 [23:0]
0	0 +1	Damage Pixel Adr.D1
1	1 don't care	Damage Pixel Adr.D2
2		Damage Pixel Adr.D3
3		Damage Pixel Adr.D4
4	0 +1	Damage Pixel Adr.D6
5	1 don't care	Damage Pixel Adr.D6
6	0 +2	Damage Pixel Adr.D7
7		Damage Pixel Adr.D8
8	0 +1	Damage Pixel Adr.D9
9	0 +3	Damage Pixel Adr.D10
10		Damage Pixel Adr.D11
11		Damage Pixel Adr.D12
12	0 +2	Damage Pixel Adr.D13
13		Damage Pixel Adr.D14
14	1 don't care	Damage Pixel Adr.D15
15		Damage Pixel Adr.D16
16		Damage Pixel Adr.D17
17		Damage Pixel Adr.D18
*	*	*
*	*	*

【図12】



【図17】

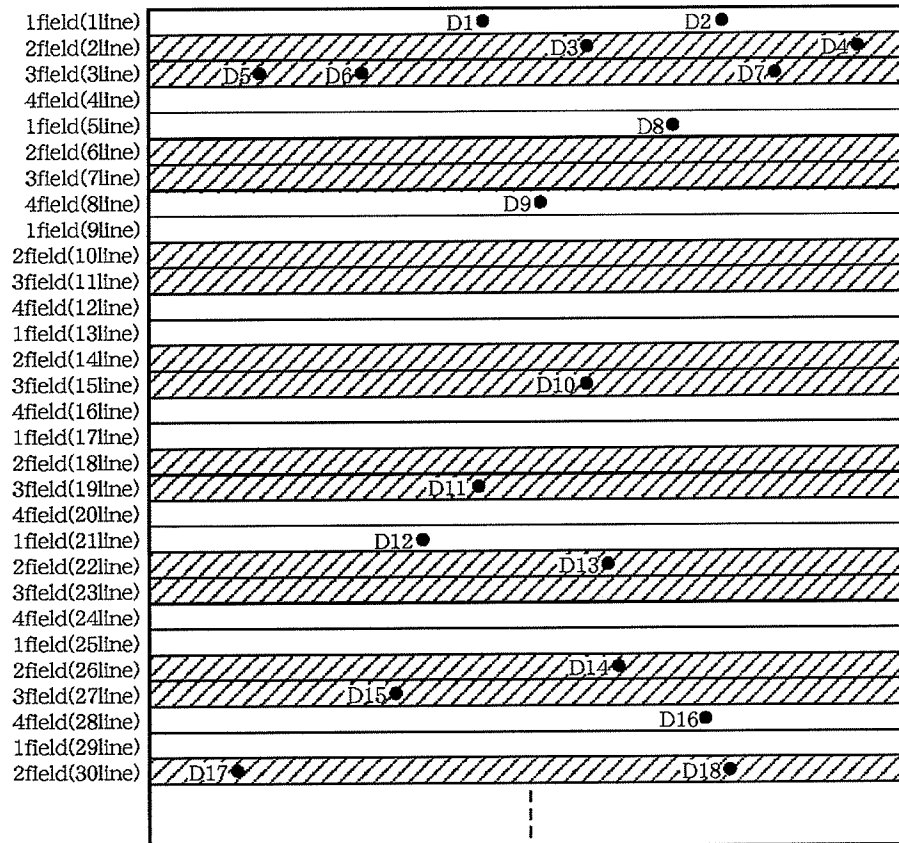
欠陥画素位置メモリの アドレス情報[7:0]	
0	Mem.Adr.4
1	Mem.Adr.0
2	Mem.Adr.6
3	・
4	・
5	・
6	・
7	・
8	・
9	・
10	・
11	・
12	・
13	・
14	・
15	・
16	・
17	・
・	・
・	・

【図20】

識別情報 [28:24]						欠陥画素位置情報 [23:0]	
0	0	0	0	1	0	Damage Pixel Adr.D1	
1	0	0	0	1	0	Damage Pixel Adr.D2	
2	0	0	1	0	1	Damage Pixel Adr.D3	
3	0	0	1	0	1	Damage Pixel Adr.D4	
4	0	1	0	0	0	Damage Pixel Adr.D5	
5	0	1	0	0	0	Damage Pixel Adr.D6	
6	0	1	0	0	0	Damage Pixel Adr.D7	
7	0	0	0	1	0	Damage Pixel Adr.D8	
8	1	0	0	0	0	Damage Pixel Adr.D9	
9	0	1	0	0	1	Damage Pixel Adr.D10	
10	0	1	0	0	0	Damage Pixel Adr.D11	
11	0	0	0	1	0	Damage Pixel Adr.D12	
12	0	0	1	0	0	Damage Pixel Adr.D13	
13	0	0	1	0	1	Damage Pixel Adr.D14	
14	0	1	0	0	0	Damage Pixel Adr.D15	
15	1	0	0	0	0	Damage Pixel Adr.D16	
16	0	0	1	0	0	Damage Pixel Adr.D17	
17	0	0	1	0	0	Damage Pixel Adr.D18	
・	・	・	・	・	・	・	
・	・	・	・	・	・	・	

[24]: 高速読出しモード有効ラインに存在する欠陥画素のグラフ
[25]: 全画素読出し第一フィールドに存在する欠陥画素のグラフ
[26]: 全画素読出し第二フィールドに存在する欠陥画素のグラフ
[27]: 全画素読出し第三フィールドに存在する欠陥画素のグラフ
[28]: 全画素読出し第四フィールドに存在する欠陥画素のグラフ

【図19】



高速読出しモード
スタート

水平同期信号

① ② ③ ④ ⑤ ⑥

2ライン目 有効期間 7ライン目 有効期間 10ライン目 有効期間 15ライン目 有効期間 18ライン目 有効期間 23ライン目 有効期間 26ライン目 有効期間 31ライン目 有効期間
帰線期間 帰線期間 帰線期間 帰線期間 帰線期間 帰線期間 帰線期間 帰線期間

① 位置レジスタ71a 位置レジスタ71b 位置レジスタ71c 位置レジスタ71d
位置レジスタ71a 位置レジスタ71b 位置レジスタ71c 位置レジスタ71d
フラグレジスタ72a フラグレジスタ72b フラグレジスタ72c フラグレジスタ72d

② 位置レジスタ71a 位置レジスタ71b 位置レジスタ71c 位置レジスタ71d
位置レジスタ71a 位置レジスタ71b 位置レジスタ71c 位置レジスタ71d
フラグレジスタ72a フラグレジスタ72b フラグレジスタ72c フラグレジスタ72d

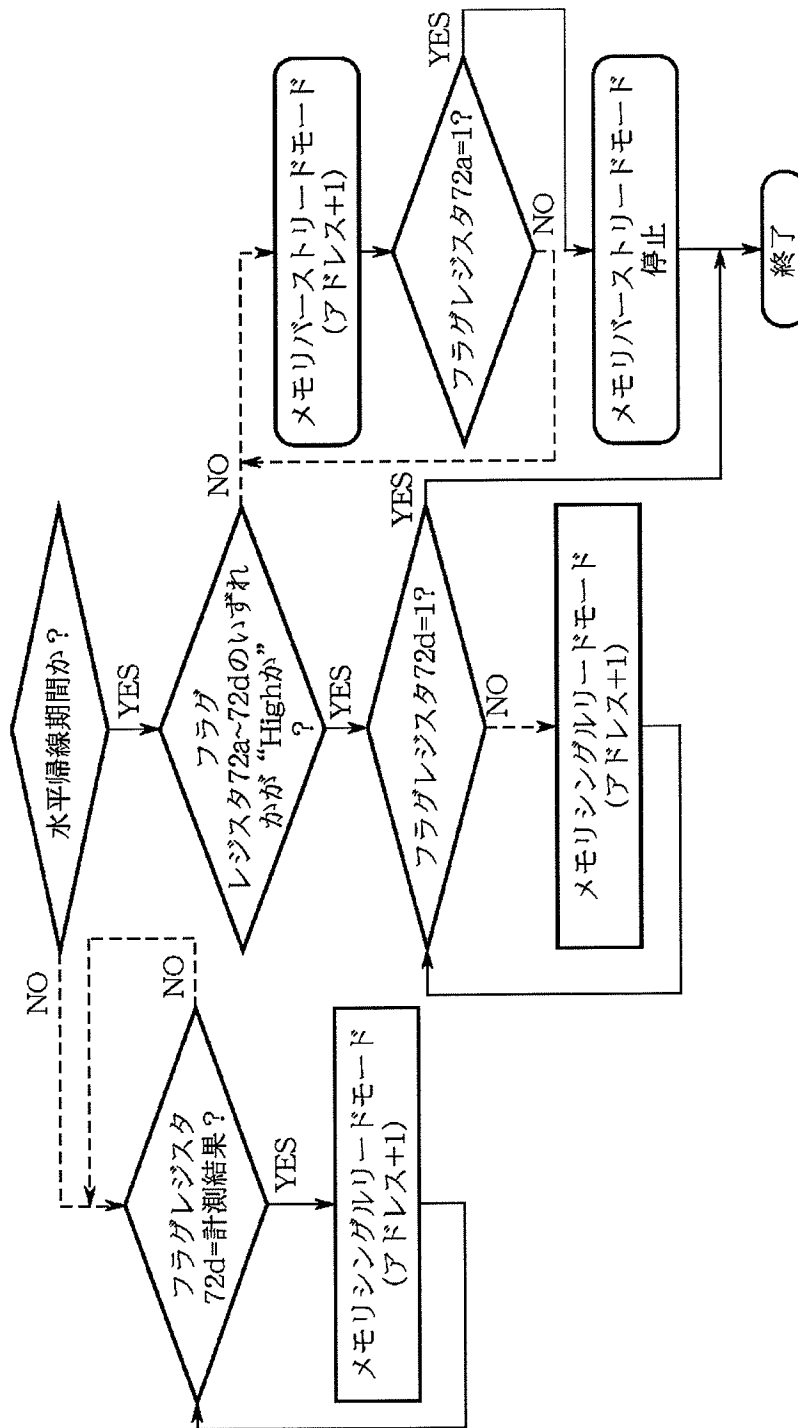
③ 位置レジスタ71a 位置レジスタ71b 位置レジスタ71c 位置レジスタ71d
位置レジスタ71a 位置レジスタ71b 位置レジスタ71c 位置レジスタ71d
フラグレジスタ72a フラグレジスタ72b フラグレジスタ72c フラグレジスタ72d

④ 位置レジスタ71a 位置レジスタ71b 位置レジスタ71c 位置レジスタ71d
位置レジスタ71a 位置レジスタ71b 位置レジスタ71c 位置レジスタ71d
フラグレジスタ72a フラグレジスタ72b フラグレジスタ72c フラグレジスタ72d

⑤ 位置レジスタ71a 位置レジスタ71b 位置レジスタ71c 位置レジスタ71d
位置レジスタ71a 位置レジスタ71b 位置レジスタ71c 位置レジスタ71d
フラグレジスタ72a フラグレジスタ72b フラグレジスタ72c フラグレジスタ72d

⑥ 位置レジスタ71a 位置レジスタ71b 位置レジスタ71c 位置レジスタ71d
位置レジスタ71a 位置レジスタ71b 位置レジスタ71c 位置レジスタ71d
フラグレジスタ72a フラグレジスタ72b フラグレジスタ72c フラグレジスタ72d

【図23】



【図24】

